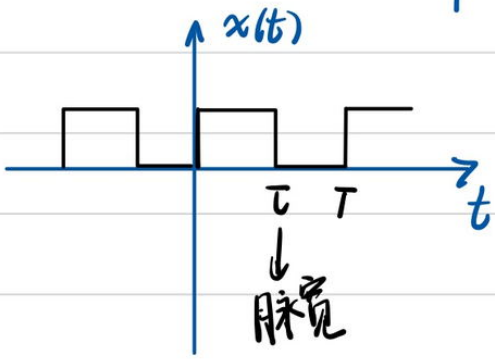
周期信号的单边谱

$x(t+nT)=x(t)$　　$x(t)=C_0+\sum_{n=1}^{\infty}(C_n\cos(n\omega_0 t)+\phi_n)$

可以写成任意正弦波的叠加

$f=\frac{1}{T}$

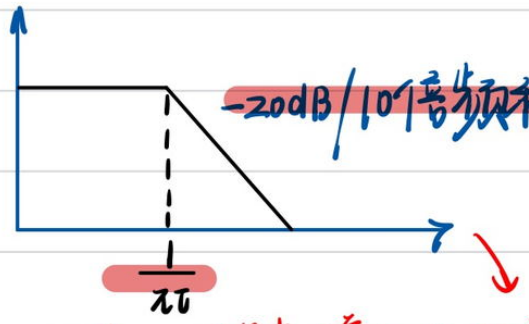
$\omega=2\pi f=\frac{2\pi}{T}$



$x(t)=C_0+\sum_{n=1}^{\infty}(C_n\cos(n\omega_0 t)+\phi_n)$

频谱包络线：$C=\frac{2\pi}{T}\left|\frac{\sin(\pi f\tau)}{\pi f\tau}\right|$

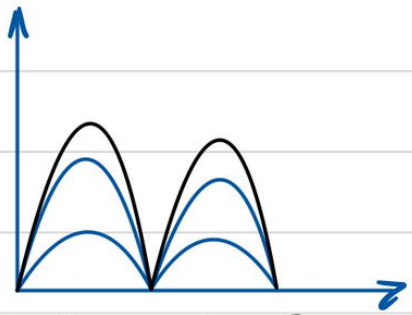
占空比：$D=\frac{\tau}{T}$

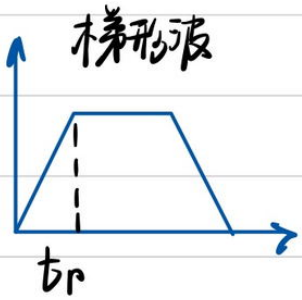


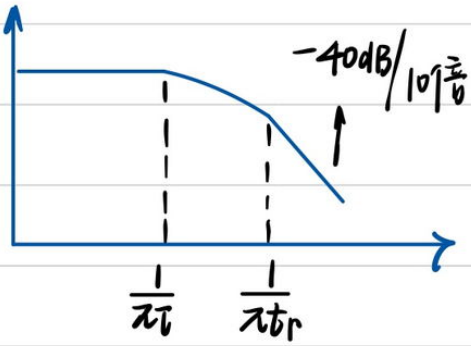
（每10倍频程就下降20dB）

<理想方波信号频谱包络切线为折线>

信号上升时间与带宽







随着不同谐波叠加，上升越来越快。⇐⇒如果边沿陡，包含高频分量多

决定信号带宽用是信号上升时间

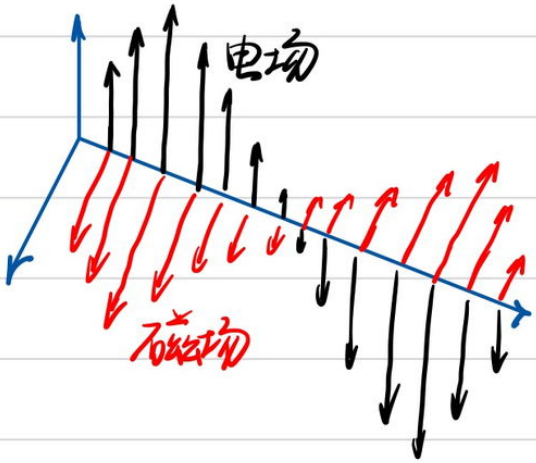
3dB带宽 $f_{3dB} = \frac{0.35}{T_{rise}}$ (10%~90%)

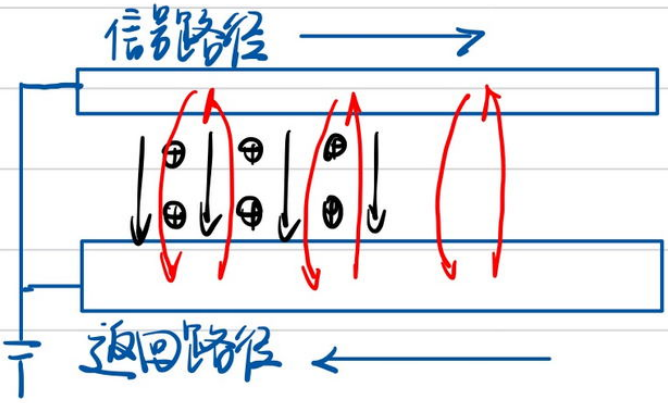
*带宽不是"非黑即白"的：带宽内的一定产生重大影响

稍高于的可能产生影响

过高的几乎不产生影响

传输线





电流表现为小的电流环位置不断前移

信号的前传播速度取决于电磁场建立的速度

↓

取决于介质的介电常数和磁导率

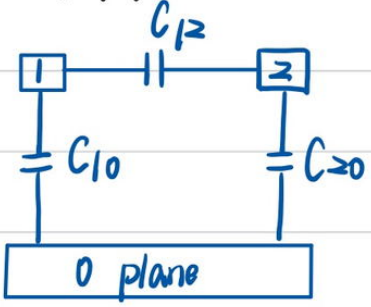
$$v_p \approx \frac{c}{\sqrt{\varepsilon_r}} = \frac{c}{2} \approx 6\ inch/ns$$

返回路径被切断，不在于传输过程，而在于路径的切换。

传输线电容

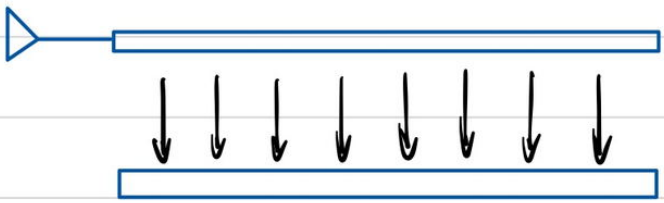
$C=\frac{Q}{V}$ → 电荷量 / → 电压，电容仅与导体系统结构和周围介质特性有关

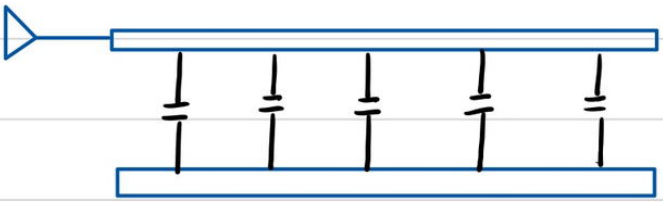
<多导体系统电容>



电容矩阵：$\begin{pmatrix} C_{10} & C_{12} \\ C_{21} & C_{20} \end{pmatrix}$

传输线的电容是分布式的，信号每一步都能感受到电容





可用单位长度电容来描述

（单位：pF/inch）

使用单位长度电容可以实现"分布"

↓

"集总"的思想

（相对）介电常数：

$$\varepsilon_r=\frac{C_{sub}}{C_{air}}$$

C_{air} → 介质为空气的电容

等效介电常数可用信号传播速度间接获得

（表层等效介电常数比内层小）

传输线电感

$$L = \frac{\Psi}{I}$$

Ψ → 磁通量

I → 电流

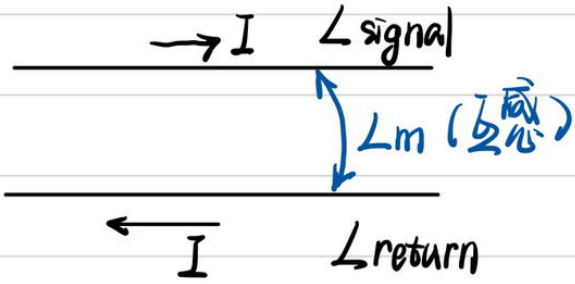
电感和电流大小无关，只与电流环路形成有关

$$V = \frac{\Delta \Psi}{\Delta t} = L \frac{dI}{dt}$$

$\frac{dI}{dt}$ → 电流变化快慢

V ↑ 磁场变化导致感应电压

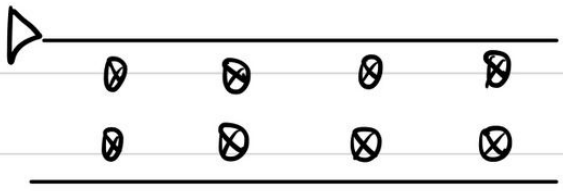
→ 产生 Delta I 噪声

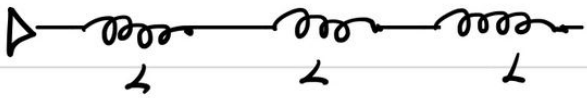


$$L_{loop} = L_{signal} + L_{return} - 2L_m$$

↓

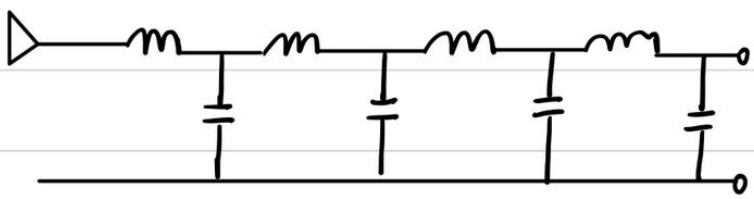
互感越大，回路电感越小

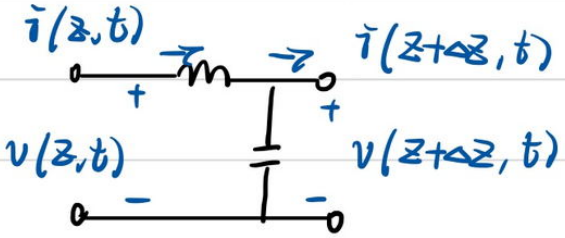




单位长度电感（单位：nH/inch）

脉冲时阻抗与特性阻抗





电报方程（化简）：

$$\frac{dv(z,t)}{dz} = -L\frac{di(z,t)}{dt}$$

$$\frac{di(z,t)}{dz} = -C\frac{dv(z,t)}{dt}$$

$$\Downarrow$$

$$v(z) = V_0^+ e^{-j2\omega\sqrt{LC}} + V_0^- e^{j2\omega\sqrt{LC}}$$

$$i(z) = I_0^+ e^{-j2\omega\sqrt{LC}} + I_0^- e^{j2\omega\sqrt{LC}}$$

特性阻抗：$Z_0 = \sqrt{\frac{L}{C}}$（L：单位长度电感，C：单位长度电容）

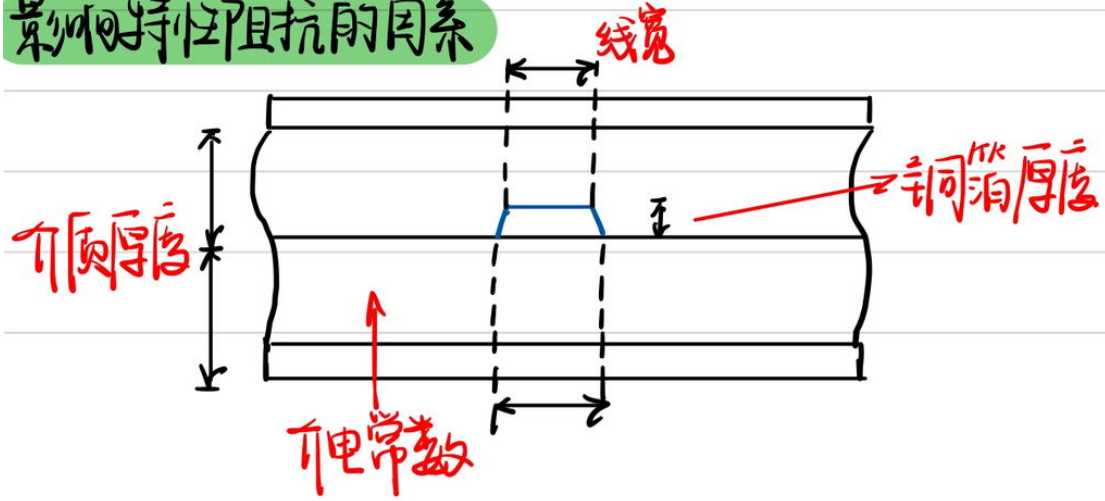
即

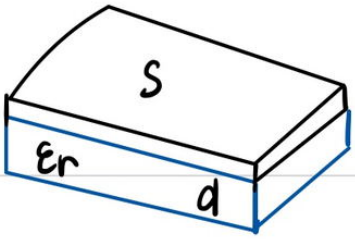
信号感受到的永远是"瞬时阻抗"

$$\Downarrow$$

若传输线是均匀的，则有固定的"瞬时阻抗"（只与横截面尺寸有关，与长度无关）

影响特性阻抗的因素





$C = \varepsilon_r \frac{S}{d}$

$L = \frac{\mu_0}{2\pi} l \left[\ln\left(\frac{2l}{w+t}\right) + \frac{1}{2} + \frac{2}{9}\left(\frac{w+t}{l}\right) \right]$

L 主要与这部分相关

l：走线长度

w：线宽

t：铜箔厚度

① 线宽↑ ⇒ L↓, C↑ ⇒ Z_0↓

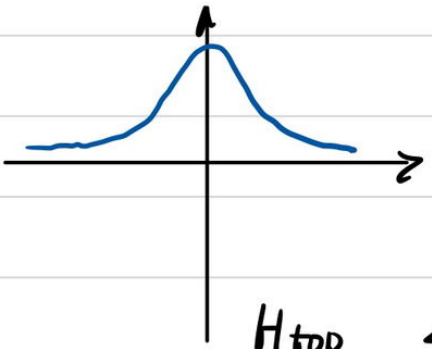
② 介质厚度↑ ⇒ L↑, C↓ ⇒ Z_0↑

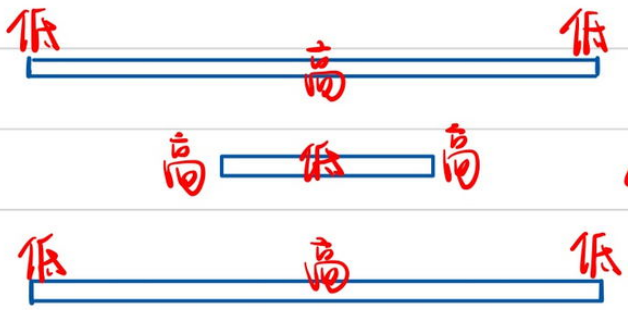
③ 介电常数↑ ⇒ L, C↑ ⇒ Z_0↓

④ 铜箔厚度↑ ⇒ L↓, C↑ ⇒ Z_0↓

参考平面与返回电流

返回电流分布规律：





（电流密度）

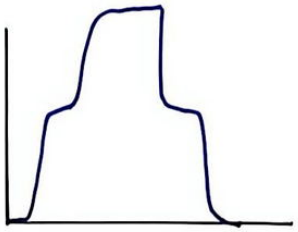
$\frac{H_{top}}{H_{bot}} = \frac{4}{1}$

$\frac{I_{return-top}}{I_{return-bot}} = \frac{1}{4}$

P13 信号反射 (Refleotion)

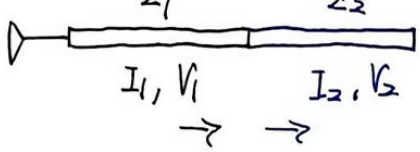
(振铃)

(边沿不单调)



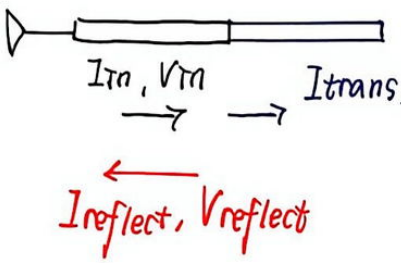
(边沿出现台阶)

Model 1:



$$\begin{cases} Z_1 = \dfrac{V_1}{I_1} \\ V_1 = V_2,\ I_1 = I_2 \text{ (电压与电流不能突变)} \\ Z_2 = \dfrac{V_2}{I_2} \quad \text{(成立不了)} \end{cases}$$

Model 2:



$$\begin{cases} I_{in} = \dfrac{V_{in}}{Z_1} \\ I_{reflect} = \dfrac{V_{reflect}}{Z_1} \\ V_{in} + V_{reflect} = V_{trans} \\ I_{in} - I_{reflect} = I_{trans} \\ I_{trans} = \dfrac{V_{trans}}{Z_2} \end{cases}$$

☆

反射系数与传输系数:

$$\Gamma = \frac{V_{reflect}}{V_{inc}} = \frac{Z_2 - Z_1}{Z_2 + Z_1}$$

$$T = \frac{V_{trans}}{V_{inc}} = \frac{2Z_2}{Z_2 + Z_1}$$

$Z_1 = 50\Omega$, $Z_2 = 75\Omega$, 则 $\begin{cases} \Gamma = 0.2 \\ T = 1.2 \end{cases}$

即 $\begin{cases} V_{inc} = 1\ V \\ V_{reflect} = 0.2\ V \\ V_{trans} = 1.2\ V \end{cases}$

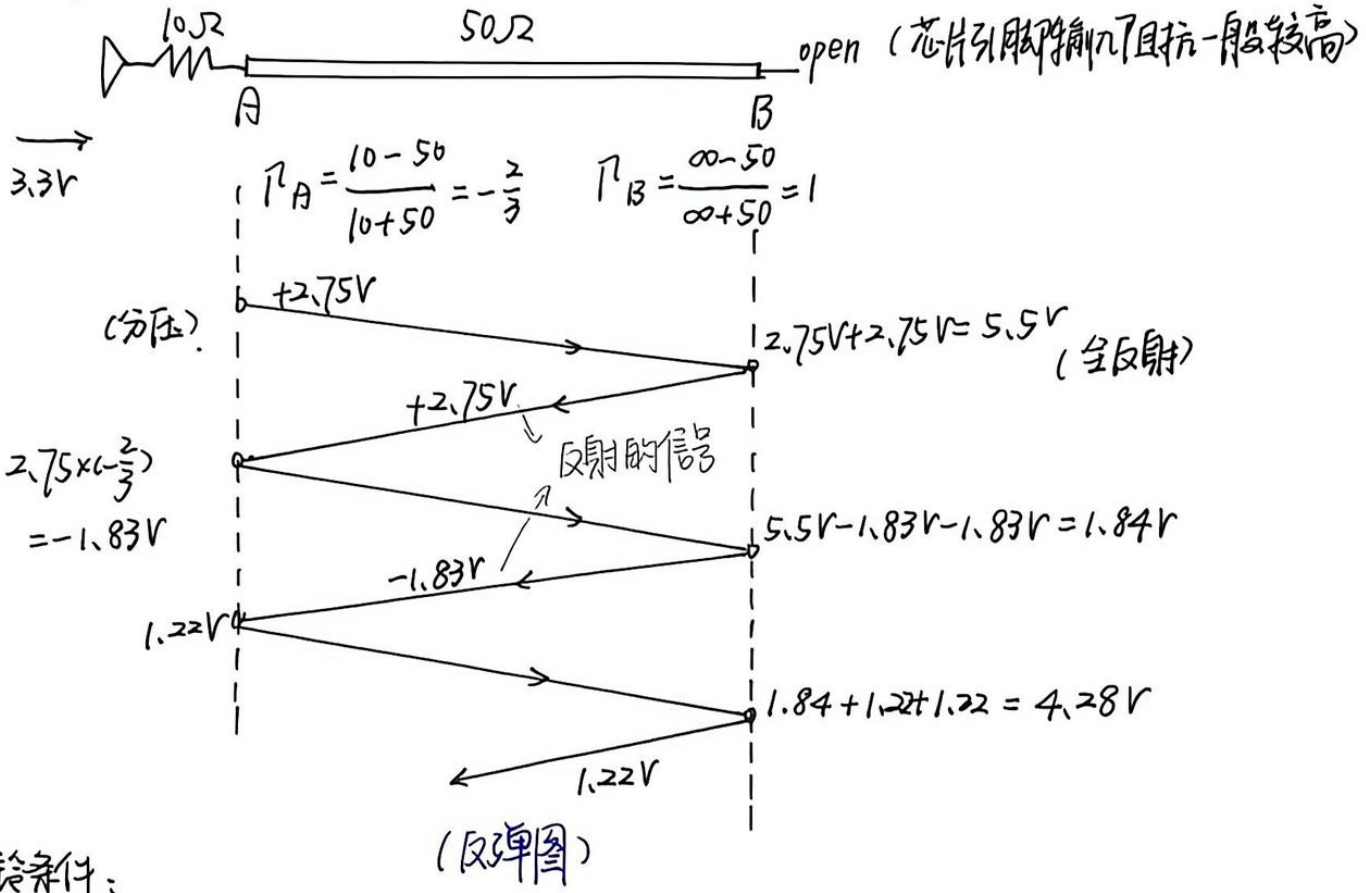
$$\begin{cases} I_{inc} = \dfrac{1}{50} = 20\ mA \\ I_{reflect} = \dfrac{0.2}{50} = 4\ mA \\ I_{trans} = \dfrac{1.2}{\frac{50}{75}} = 16\ mA \end{cases}$$

Open/Short-Stub的反射现象：

$$\Gamma = \frac{\infty - 50}{\infty + 50} = 1 \quad \text{（开路）}$$

$$\Gamma = \frac{0 - 50}{0 + 50} = -1 \quad \text{（短路）}$$

P14 信号振铃（由反射引起的）

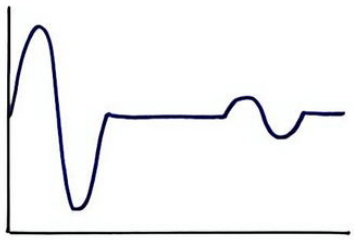


（反弹图）

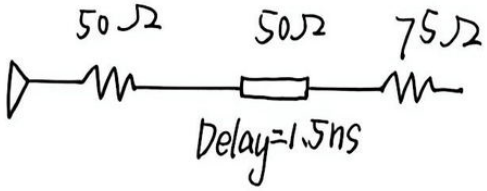
振铃条件：

- 驱动器低阻抗
- 接收高阻抗
- 高低电平持续时间远大于传输线往返延迟

P15 正反射负反射



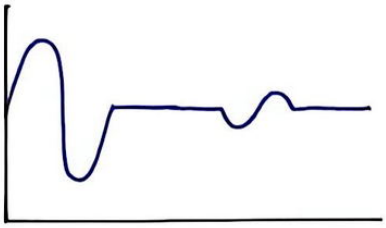
（正反射）



$$\Gamma = \frac{75-50}{75+50} = 0.2$$

（正的）

趋势相同，幅度为乘上Γ

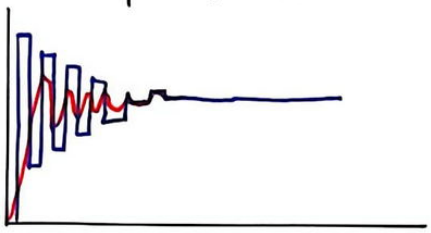


（负反射）

“反射”的是信号波形，而不是电压

信号的跳变方向是由正/负反射决定的

P16 上升时间与反射



当考虑上升时间时，波形叠加不那么明显，但本质还是叠加。

时域仿真的波形始终是入射波与反射波叠加。

（与上升时间长短无关）

正负反射与负反射的波形经过延迟再叠加在一起就产生振铃波形。

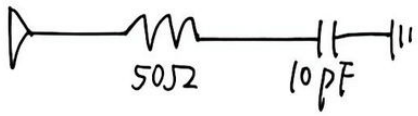
P17 容性阻抗不连续

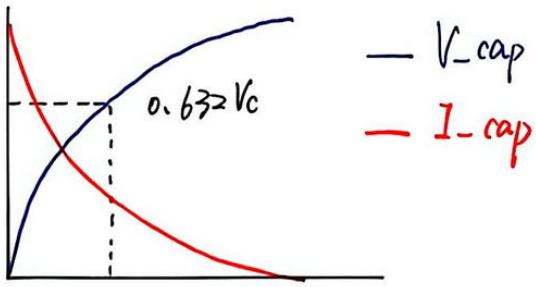
$\tau = RC$ 为时间常数

$V_C = 63.2\% * A$

$$Z_c = R(e^{\frac{t}{\tau}} - 1) = R$$
$$\Rightarrow t = \tau \ln 2$$

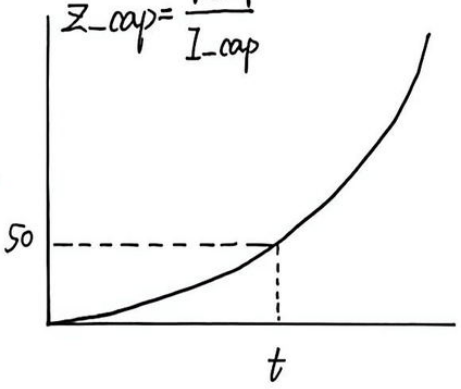
电容与R同阻值时





（信号达到电容时给它充电）

$$Z_{\_cap} = \frac{V_{\_cap}}{I_{\_cap}}$$



* Ohm * pF = ~ psec

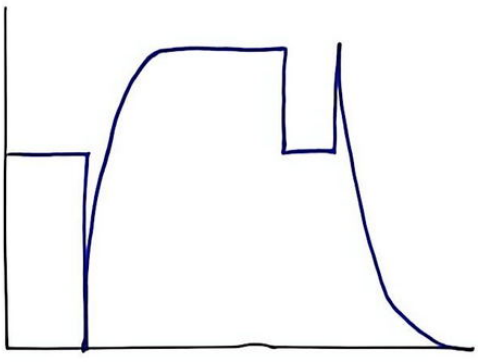
eg: 50Ω * 8pF = 400ps

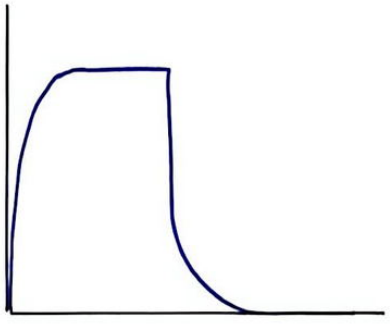
↓

τ

$$\Gamma = \frac{Z_2 - Z_1}{Z_2 + Z_1} = \frac{R(e^{\frac{t}{\tau}} - 1) - R}{R(e^{\frac{t}{\tau}} - 1) + R} = 1 - 2 \cdot e^{-\frac{t}{\tau}}$$

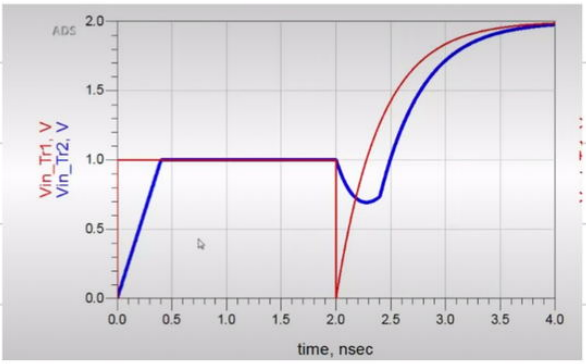
<传输线末端电容的反射系数公式>

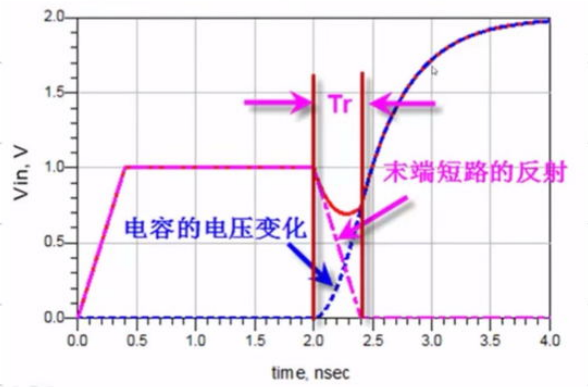


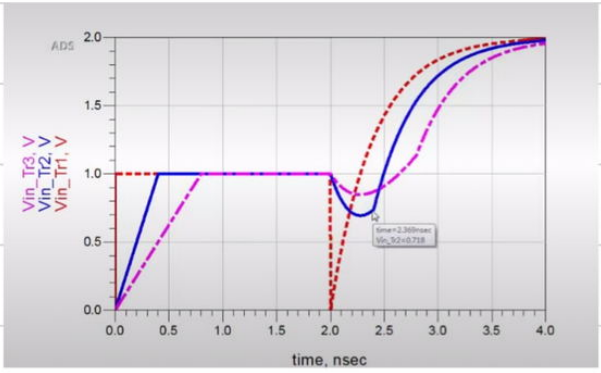


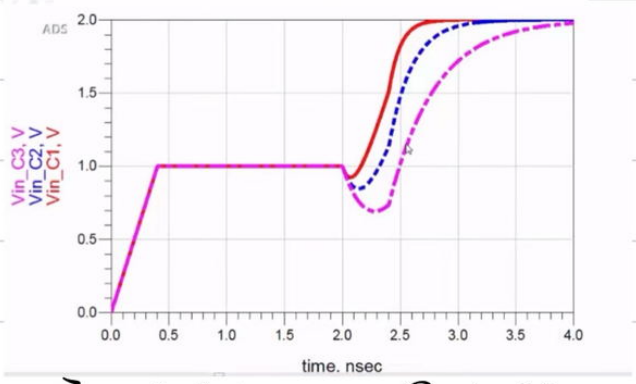
电容阻抗由小→大，则由负反射→正反射

P18 末端电容的反射





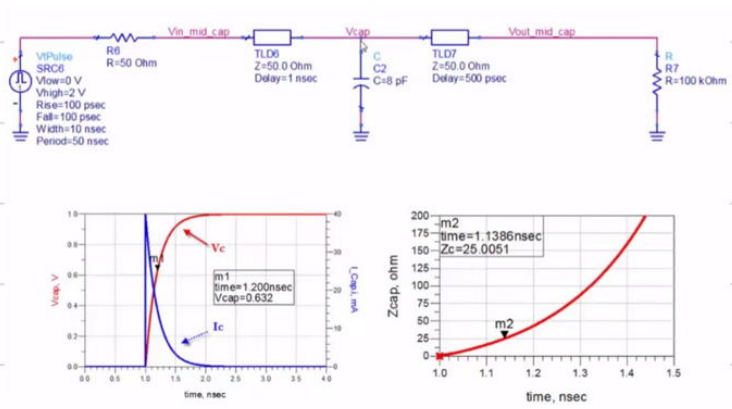


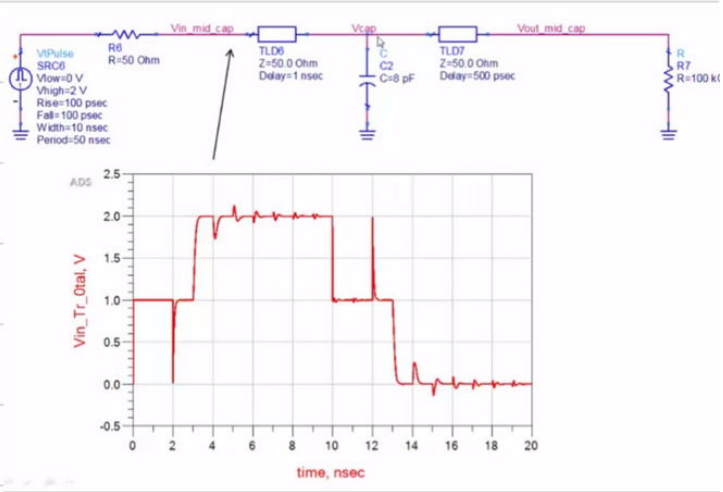


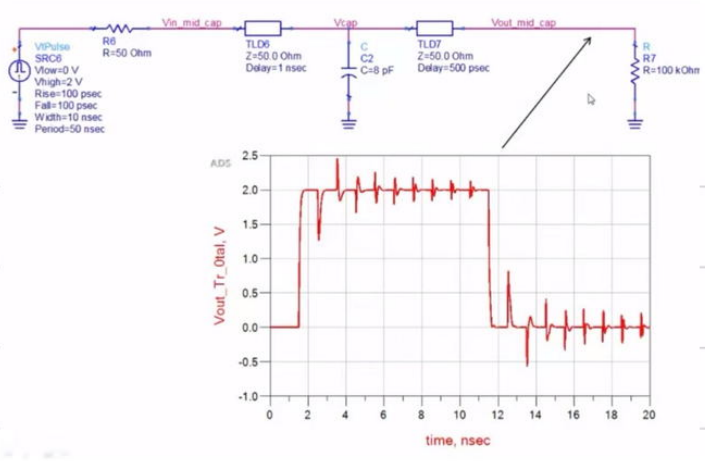
信号上升时间越长，塌陷越小

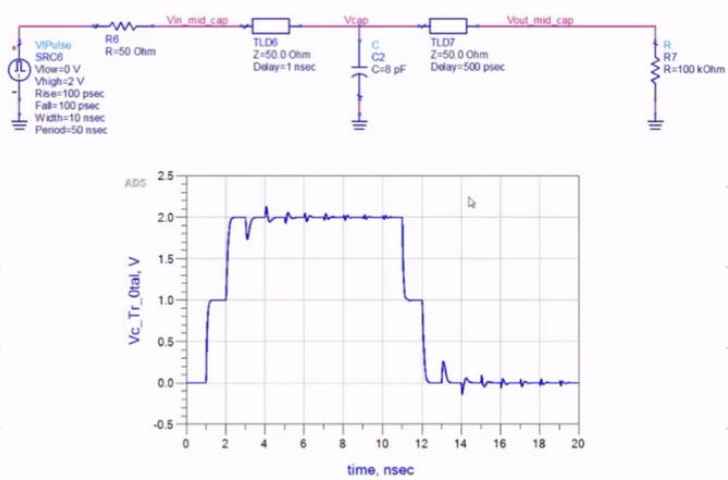
容性负载越小，塌陷越小

P19 线路中电容反射

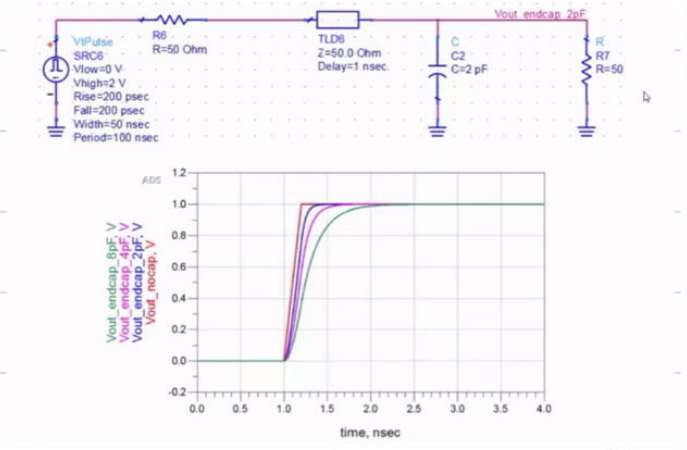


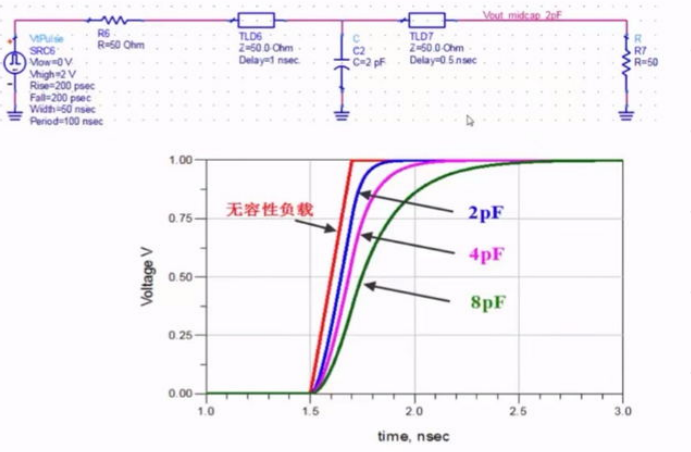






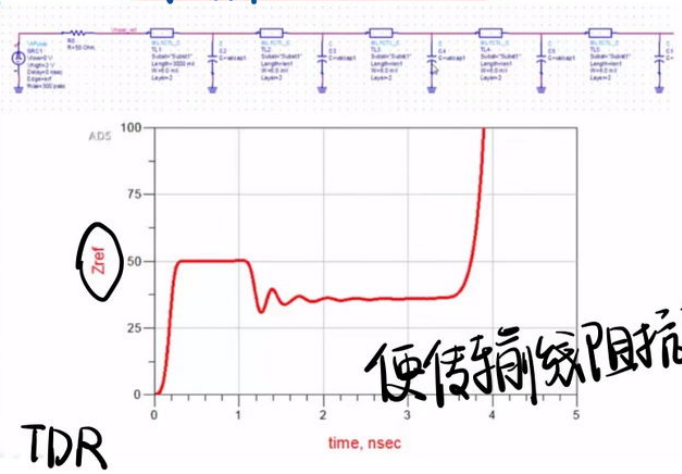
p20 电容引起的时间延迟





$C\uparrow \Rightarrow \tau = RC\uparrow \Rightarrow$ 上升更慢

p21 周期性容性负载



TDR

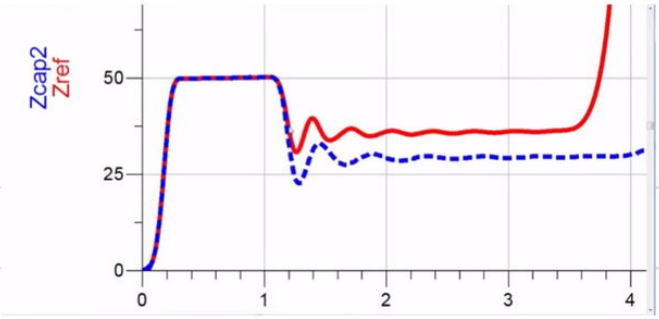
$$Z = \sqrt{\frac{L}{C + C_d/d}} = \sqrt{\frac{L}{C}\frac{1}{1 + \frac{C_d/d}{C}}} = Z_0\sqrt{\frac{1}{1 + \frac{C_d/d}{C}}}$$

并联电容增多$\uparrow \Rightarrow$ 单位电容大小$\uparrow$

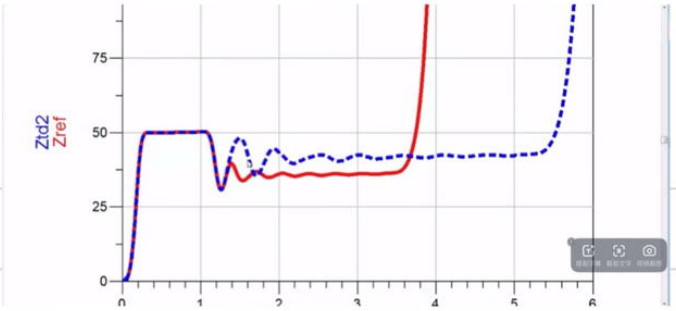
便估算线阻抗降低了

$\downarrow$

$Z_0 = \sqrt{\frac{L}{C\uparrow}}$



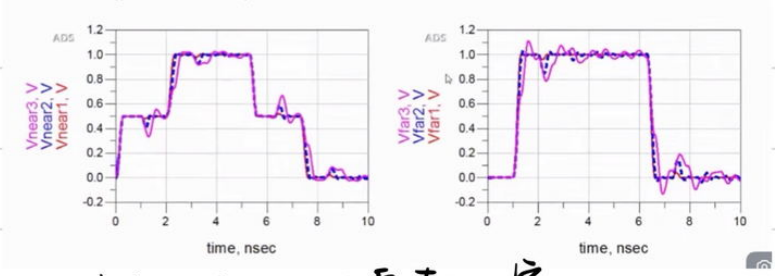
容性负载越大，感受到的阻抗越低。



容性负载间隔大，波动越大，但阻抗稍大一点。

p22 Stub的影响

开路stub会导致反射



stub分枝越长，反射越厉害。

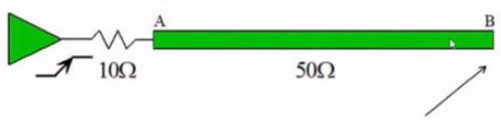
而Tr越长，波形质量越好。

所以应使stub尽量短或使Tr↑

p23 临界长度

逻辑高电平为 1.2V

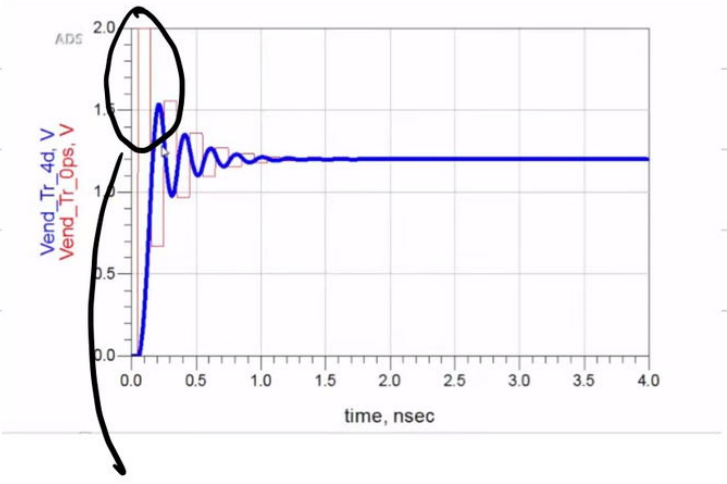
A 点入射信号高电平为 $1.2\times50/(10+50)=1V$



B 点信号电压的最大值能到多大？

$$\Gamma=\frac{V_{reflect}}{V_{inc}}=\frac{Z_2-Z_1}{Z_2+Z_1}$$

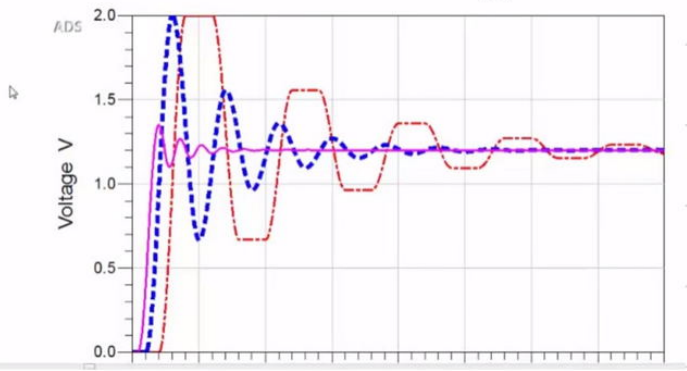
开路，反射系数 1，2V？



上升时间与传输线长度会影响振铃：

信号还未上升到最大就被负跳变的信号拉下来。

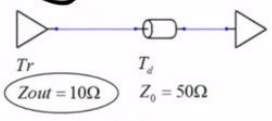
临界长度：传输线_Delay = $\frac{1}{2}$ × Tr，此时的传输线长度为临界长度



{ l < 临界，达不到最大值
  l = 临界
  l > 临界，能达到且可持续

P24 线长与端接

- 短走线不用端接，什么是短走线？ → 以Tr与Td的比例为标准

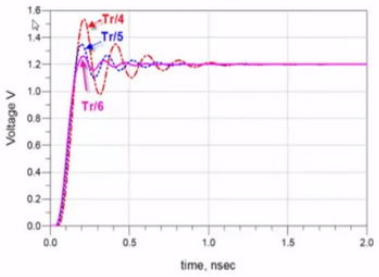


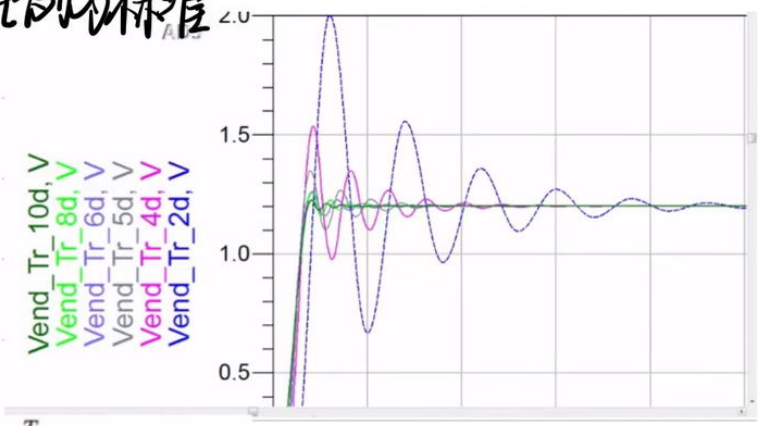
$T_d = \frac{Tr}{4}$ 时，反射噪声约为 25%

$T_d = \frac{Tr}{5}$ 时，反射噪声约为 12.5%

$T_d = \frac{Tr}{6}$ 时，反射噪声约为 5%

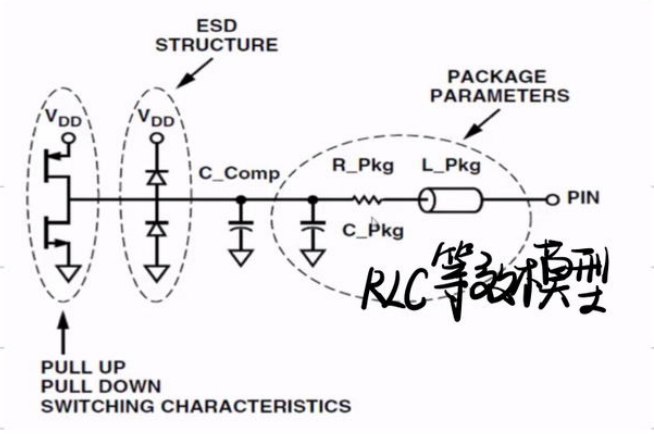
$Tr/4$ $Tr/5$ $Tr/6$?





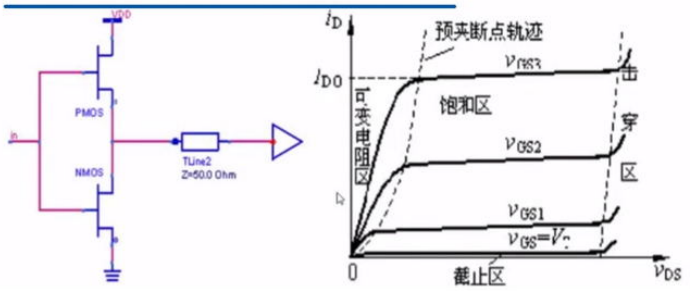
多长的走线算是短走线，业界并没有统一的规定，有人使用 $T_d \le \frac{T_r}{4}$ 作为衡量标准，有人使用 $T_d \le \frac{T_r}{5}$ 作为衡量标准，也有人使用 $T_d \le \frac{T_r}{6}$ 作为衡量标准的。这些只是要求的严格程度不同而已。关键问题在于可以容忍多大的反射噪声！不同的工程中，不同性质的信号，这个要求不同，不能一概而论。硬性的设定一个传输线长度标准来规定是否需要端接，没有任何实际意义，很多时候反而是有害的。

P25 Driver（驱动器）的传输出阻抗



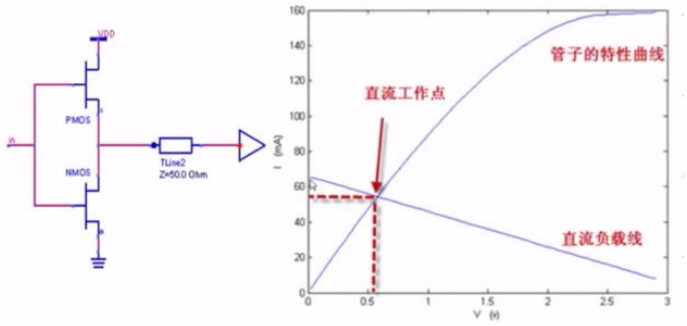
驱动器的输出阻抗（1）

- Datasheet不会给出驱动器的输出阻抗
- 直流交流情况下输出阻抗不一样
- 高、低电平时输出阻抗不一样
- 和那个管子导通有关且和管子的工作特性有关



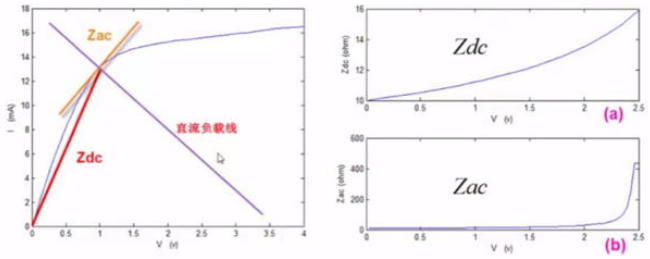
驱动器的输出阻抗（2）

- 直流工作点处：稳态情况下的直流输出阻抗



驱动器的输出阻抗（3）

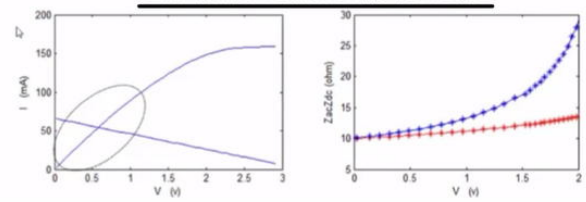
- 直流与交流状态下输出阻抗不同



驱动器的输出阻抗（4）

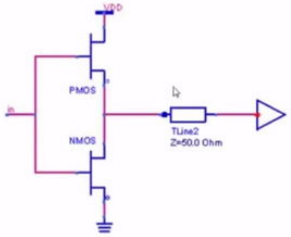
两种输出阻抗对信号的影响不同。直流输出阻抗 Z_{dc} 决定了稳态情况下驱动器加载到传输线上的电压幅度，进而决定了信号反射形成的过冲和下冲的大小。交流输出阻抗 Z_{ac} 决定了驱动器对于反射噪声的吸收能力。总体上来说，直流输出阻抗 Z_{dc} 决定了信号的宏观特征，而交流输出阻抗 Z_{ac} 会影响信号中小的细节（如噪声及小的波动）。

直流工作点电压越低，两种输出阻抗越接近

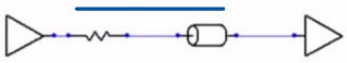


选择串联端接阻值（1）

- 通常高低电平输出阻抗不同
- 以sn741vc16245芯片为例
- 低电平输出阻抗 = 10.6179 欧姆
- 高电平输出阻抗 = 21.0030 欧姆
- **源端串联端接电阻该多大？**

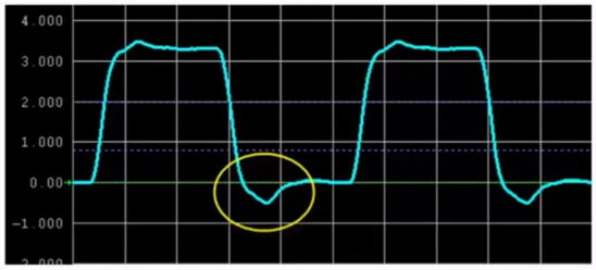


$$Z_{out} + Rt = Z_0$$



选择串联端接阻值（2）

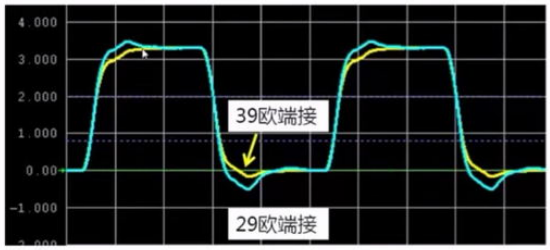
- 按**高电平输出阻抗**匹配
- 电阻值 = 50 - 21.0030 = 29 欧姆



下冲约500 mV

选择串联端接阻值（3）

- 按**低电平输出阻抗**匹配
- 电阻值 = 50 - 10.6179 = 39.4 欧姆

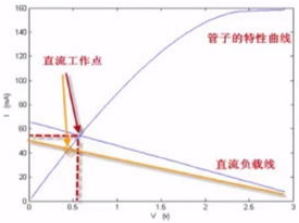


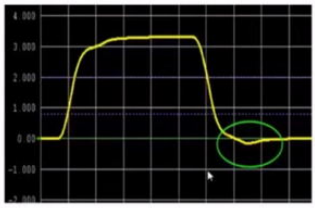
下冲明显减小，但上升沿有出现台阶趋势，无法同时匹配高低电平

无法同时良好地匹配高低电平输出阻抗。

选择串联端接阻值（4）

- 按低电平匹配，仍有约150mv下冲
- 加上端接电阻后，驱动器直流工作点发生变化

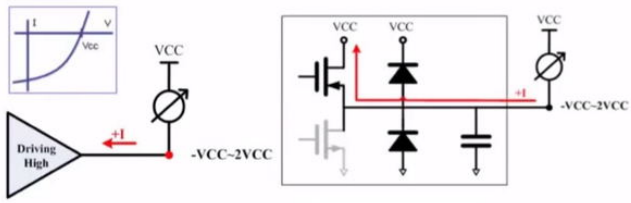




无法做到完全匹配。（由晶体管特性决定）

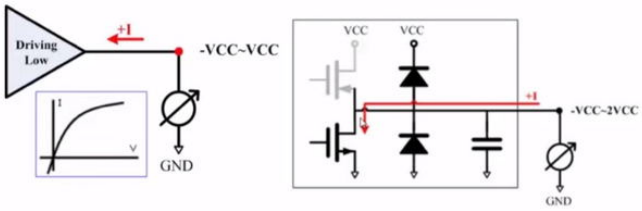
I/V曲线： Pull up （上拉曲线）

- 输出高电平状态下， Buffer的电压V和电流 I 关系特性。
- 输出驱动器输出高电平，输出端通过可变电源接VCC，可变电源在-VCC—VCC间扫描得到的VI曲线。



I/V曲线： Pull down （下拉曲线）

- 输出低电平状态下， Buffer的电压V和电流 I 关系特性。
- 输出驱动器输出低电平，输出端通过可变电源接GND，可变电源在-VCC—VCC间扫描得到的VI曲线。



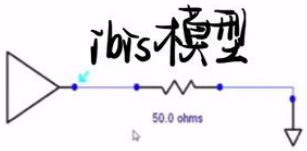
如何估计输出阻抗（1）（常用于debug）

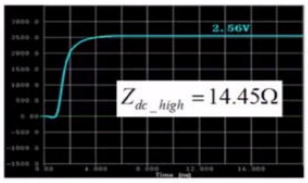
- 高电平直流输出阻抗的确定方法

$$\frac{50}{Z_{dc\_high}+50}V_{CC}=V_{meas}$$

$$Z_{dc\_high}=50\left(\frac{V_{CC}}{V_{meas}}-1\right)$$

IBIS模型



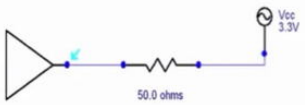


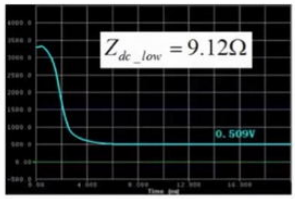
如何估计输出阻抗（2）

- 低电平直流输出阻抗的确定方法

$$\frac{Z_{dc\_low}}{Z_{dc\_low}+50}V_{CC}=V_{meas}$$

$$Z_{dc\_low}=50\frac{V_{meas}}{V_{CC}-V_{meas}}$$

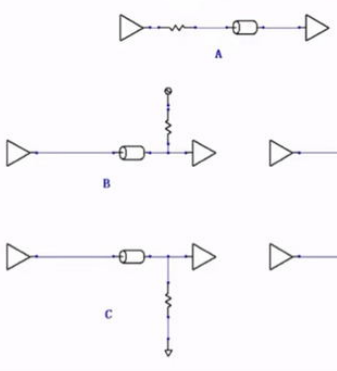




p26 端接方法

使用哪种端接？

- 关键：了解各种端接的行为特征，在具体工程中权衡。

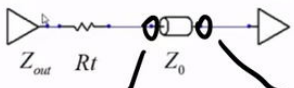


源端串联

末端并联（便宜不发生反射）

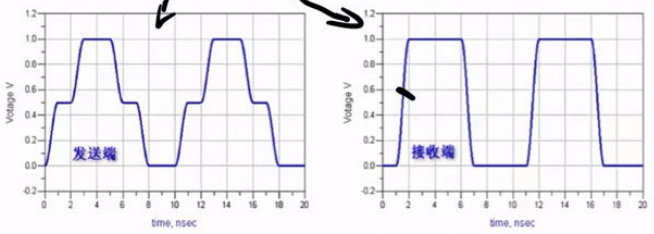
串联端接

- 驱动器输出阻抗 + 端接电阻 = 传输线特性阻抗



驱动端的台阶

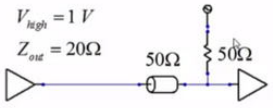
接收端利用反射达到满幅度

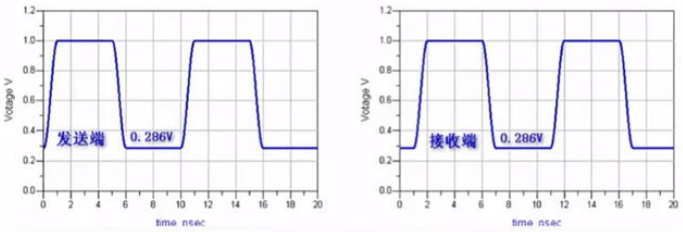


并联端接：上拉到电源

- 端接电阻 = 传输线特性阻抗
- 抬高低电平

$$\frac{20}{20+50} \cdot 1V = 0.286V$$

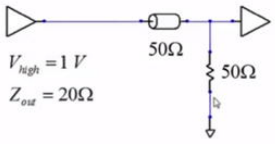


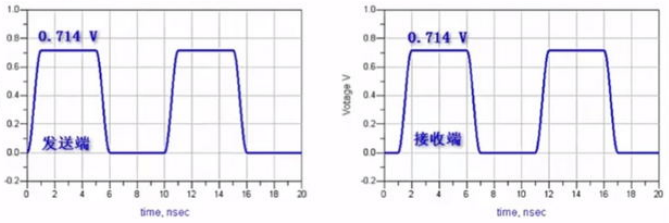


并联端接：下拉到GND

- 端接电阻 = 传输线特性阻抗
- 拉低高电平

$$\frac{50}{20+50} \cdot 1V = 0.714V$$

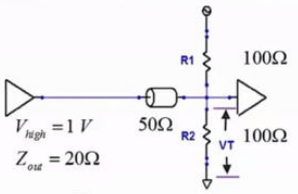


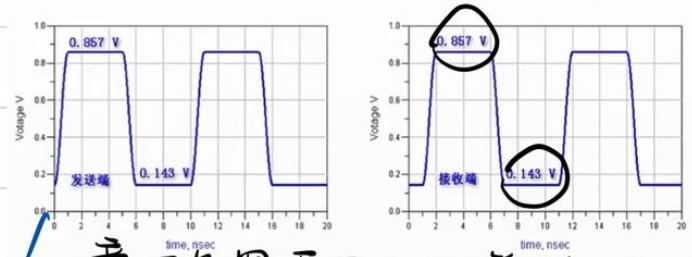


戴维南端接（1）

- 并联阻值 = 传输线特性阻抗
- 抬高低电平
- 拉低高电平

$R_1 \| R_2 = Z_0$



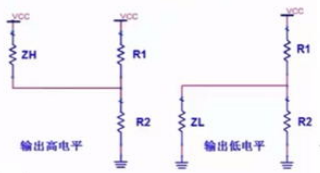


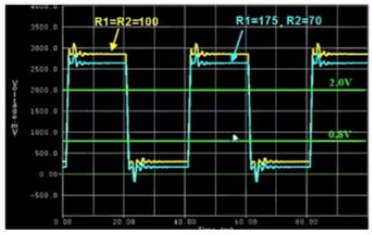
注意信号摆幅更小（与前二者相比）

功率损耗较大

戴维南端接（2）

- 调整R1和R2值可以调整高低电平值
- 均衡高低电平噪声余量





$$V_H = V_{CC} \cdot \frac{R_2}{R_2 + R_1 \| Z_H}$$

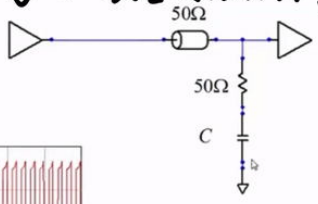
$$V_L = V_{CC} \cdot \frac{R_2 \| Z_L}{R_1 + R_2 \| Z_L}$$

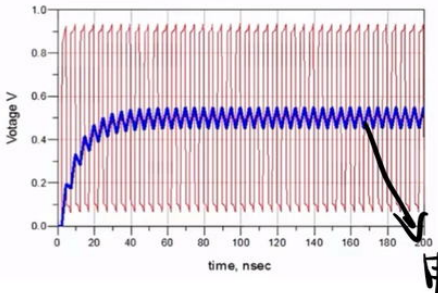
下拉电阻越小，信号越往下调。

AC端接（1）

- 要求：直流平衡信号
- 不适合突发式的数据传输

"1"与"0"占比近似相等





电容电压波动
接收端波形也波动
可能产生大的毛刺
谨慎选择电容值

电容分电压

AC端接（2）

- 电容值的选择必须使时间常数远大于2倍的传输线延时

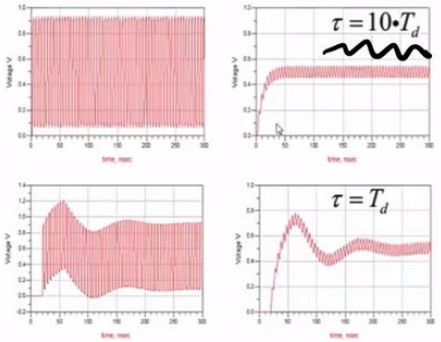
$Z_0 = 50\Omega$，Rt=50Ω

$\tau = 100 \cdot C$

要求

$\tau \gg 2 \cdot T_d$

否则可能大幅震荡，长时间无法稳定

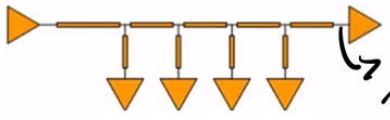


p27 拓扑结构

T型分支结构

可用源端串联

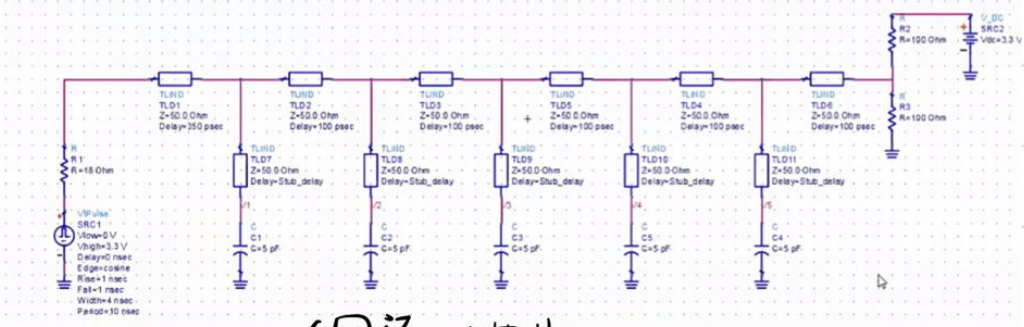
等长分支，两边TL要一样长；长度差越大，信号质量越差。可使主线长，分支短。



链式结构

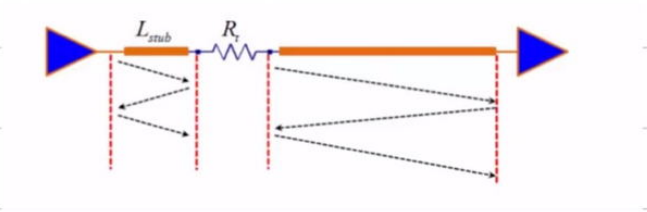
末端端接

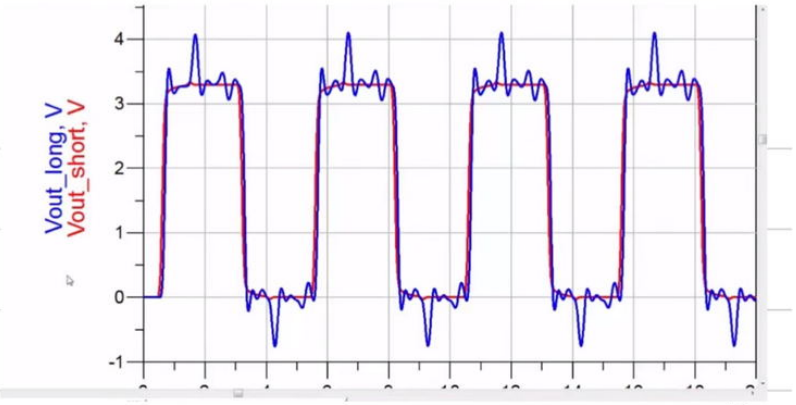
分支长度一定要短。



（同时几个芯片）

p28 端接中的枝线





L_{stub}长度越短，信号质量越好。

↳ 具体多长还与Tr有关

即芯片扇出对头与源端串联电阻尽量近。

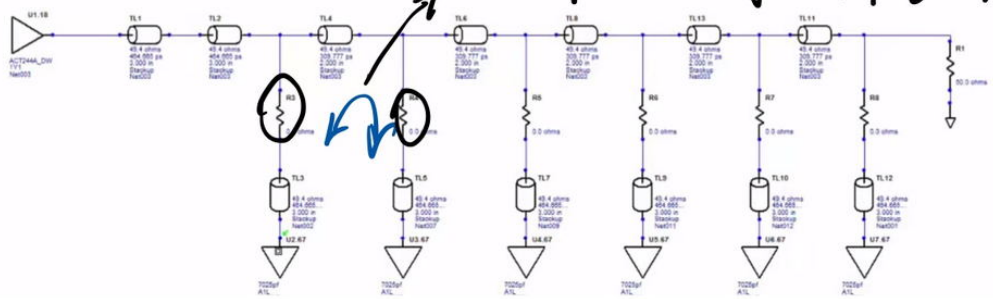
同样，对于末端端接，也应与输出芯片尽量近。

(先到Chip，再引出一端尾巴做端接电阻)

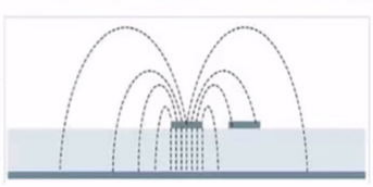
↳ 尾巴长度对接收信号影响不大。前提是端接电阻匹配良好。

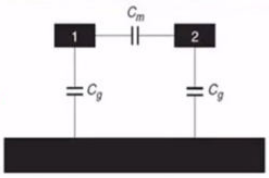
p29 阻尼电阻

为了抑制"之间"的来回反射

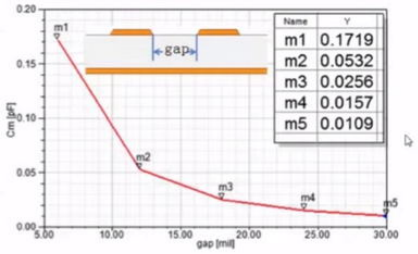


P30 串扰根源





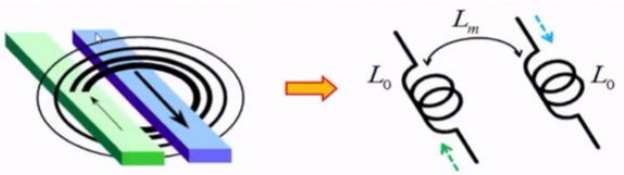
由电场影响的为容性耦合。

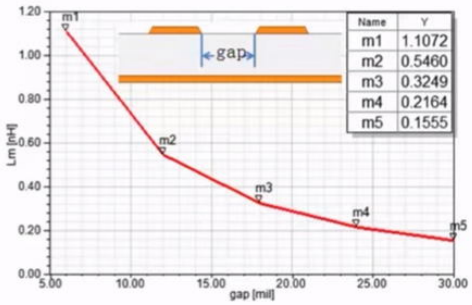


Name	Y
m1	0.1719
m2	0.0532
m3	0.0256
m4	0.0157
m5	0.0109

pF/inch	T1	T2
T1	2.94	0.139
T2	0.139	2.94

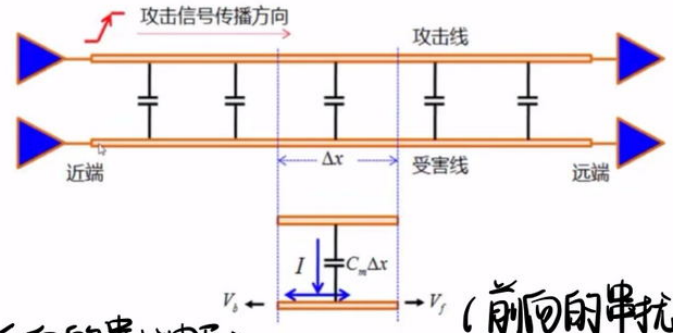
由磁场影响的为感性耦合。





Name	Y
m1	1.1072
m2	0.5460
m3	0.3249
m4	0.2164
m5	0.1555

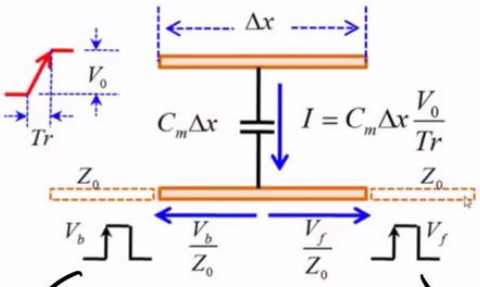
P31 容性感性串扰



后向的串扰电压

（前向的串扰电压）

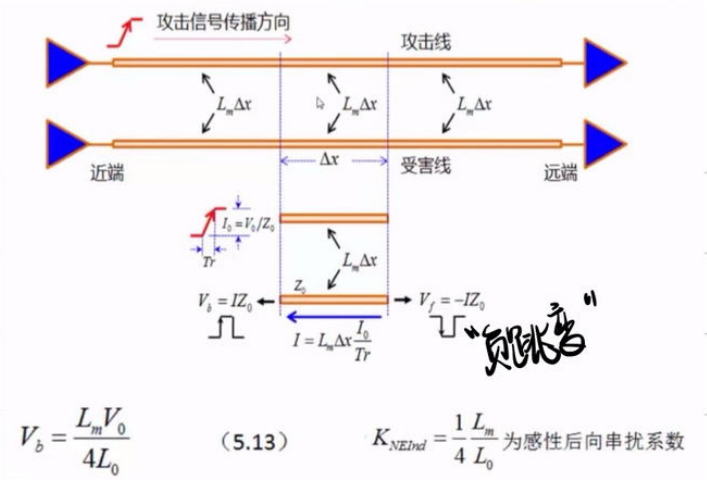
流过电容的电流 $I = C_m \Delta x \frac{dv}{dt}$



$$V_b = \frac{1}{4}\frac{C_m}{C}V_0 \qquad (5.10)$$

$K_{NECap} = \frac{V_b}{V_0} = \frac{1}{4}\frac{C_m}{C}$ 称为容性后向串扰系数

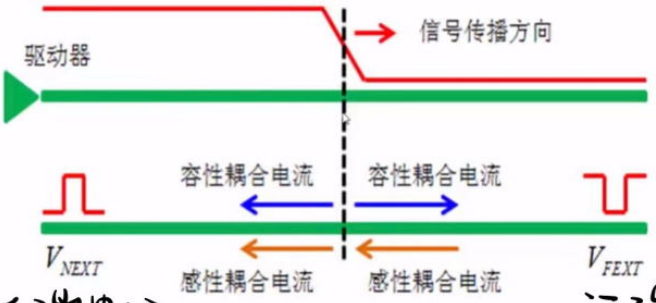
脉冲宽度就是攻击信号的上升时间



串扰只有在于电磁环境改变，产生感应电动势（ΔV）时。

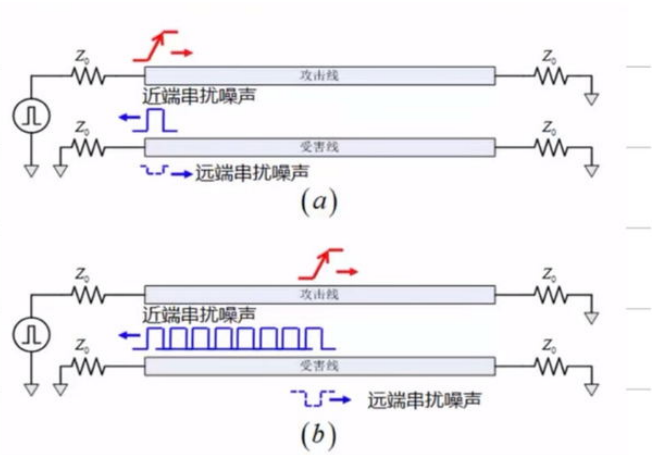
$$V_b = \frac{L_m V_0}{4L_0} \quad (5.13) \qquad K_{NEInd} = \frac{1}{4}\frac{L_m}{L_0}$$ 为感性后向串扰系数

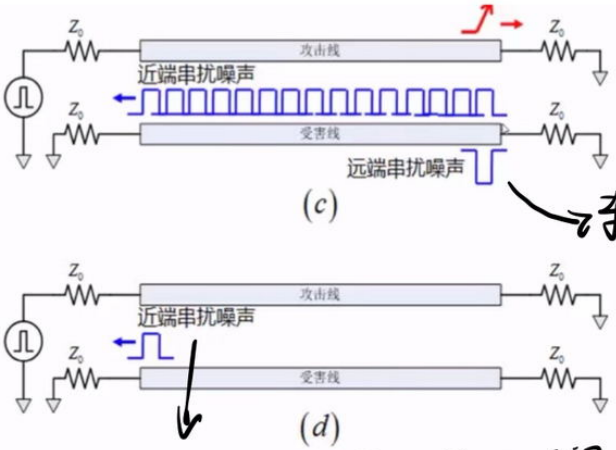
P32 近端串扰、远端串扰



近端串扰
（一定存在）

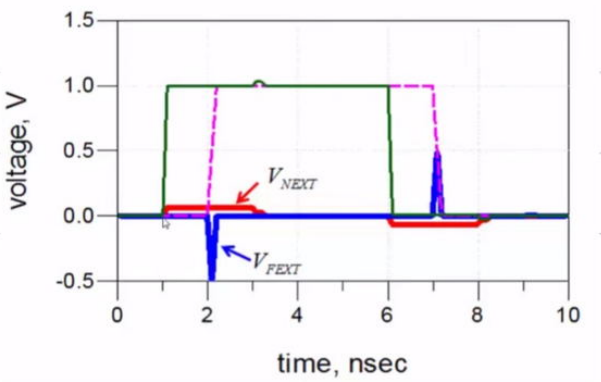
远端串扰
（可能抵消）
↓
内层走线为负跳变





幅度可能比较高，但时间很短（信号上升沿）

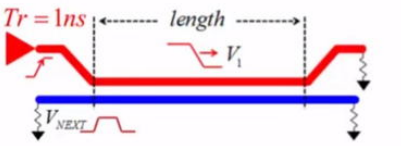
持续一个传输线来回往返，时间较长

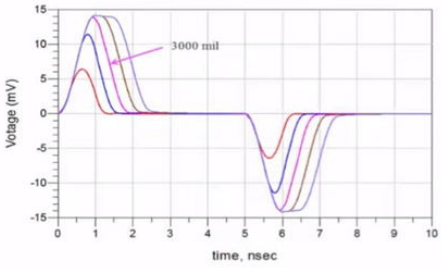


P33 近端串扰的饱和

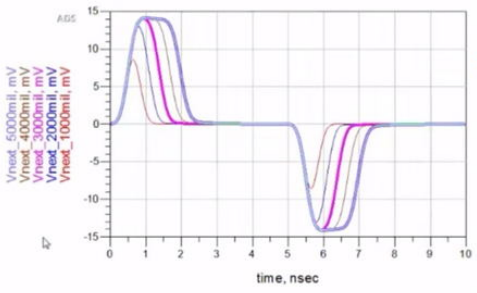
$$V_b = \frac{1}{4}\left(\frac{C_m}{C} + \frac{L_m}{L_0}\right)V_0 \qquad (5.16)$$

$$K_b = \frac{V_b}{V_0} = \frac{1}{4}\left(\frac{C_m}{C} + \frac{L_m}{L_0}\right) \qquad (5.17)$$





近端串扰



饱和长度 = $\frac{Tr}{2}$ 所对应的长度

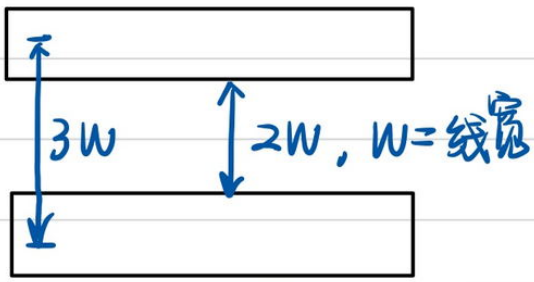
远端串扰噪声随耦合长度增加而增大

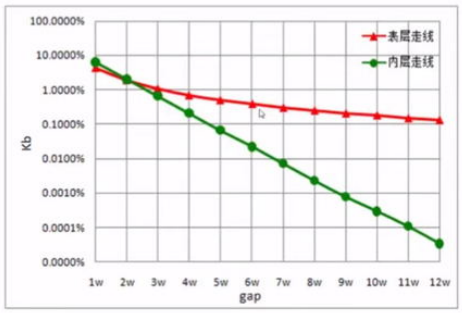
近端串扰：耦合长度小时，噪声随耦合长度增加而增大。

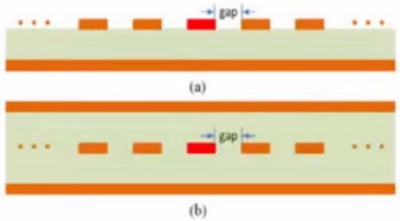
耦合长度达到一定值后，近端串扰幅度上不再增加，时间展宽。

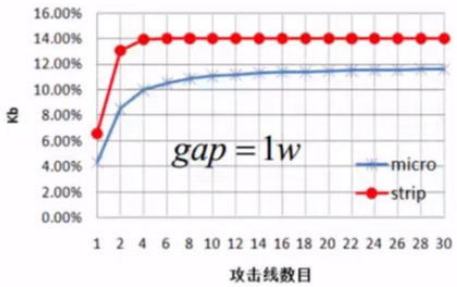
近端串扰会出现饱和

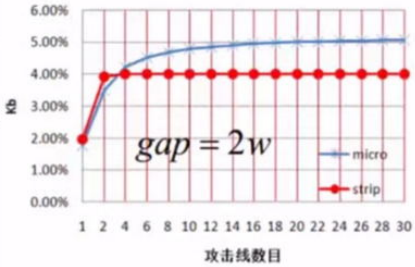
3W原则：

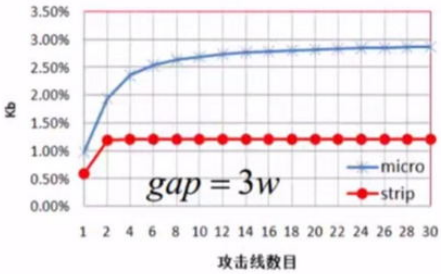




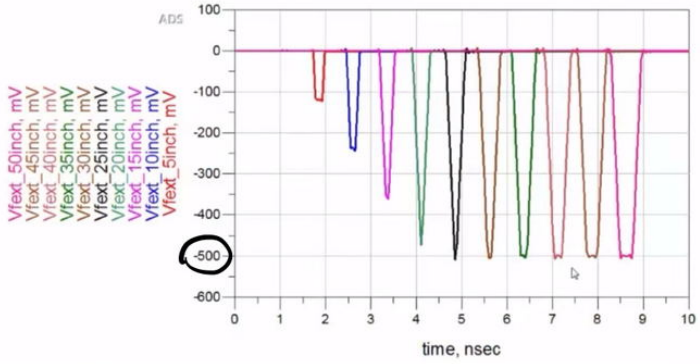








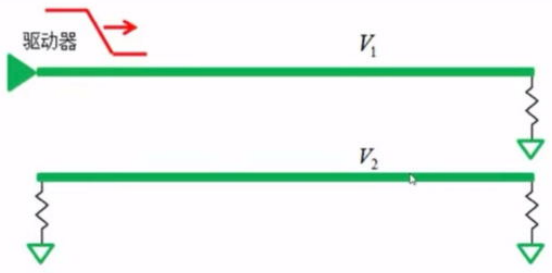
P34 远端串扰的饱和



饱和长度很长

远端串扰具有如下 4 个特性：

1) 表层走线有远端串扰，内层走线之间可近似认为不存在远端串扰。
2) 远端串扰也会饱和，饱和串扰量为攻击信号幅度的一半，即 50%。
3) 远端串扰的饱和长度一般很大，远大于近端串扰的饱和长度。
4) 远端串扰饱和长度与信号上升时间、耦合线间距等因素有关。



$$V_2 = \frac{V_2+V_1}{2} + \frac{V_2-V_1}{2} \qquad V_2 = V_{comm} + \frac{1}{2}V_{diff}$$

(共模) → 偶模　(差分) → 奇模

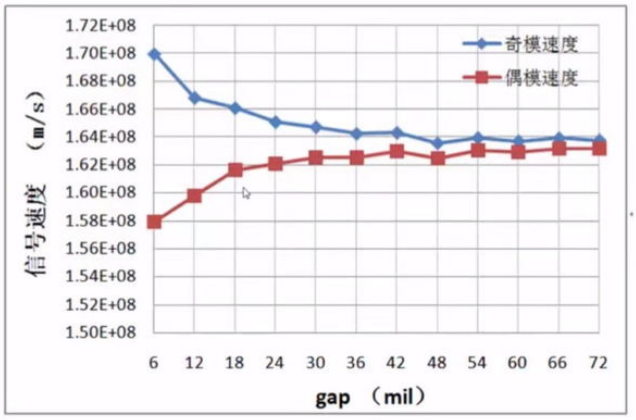
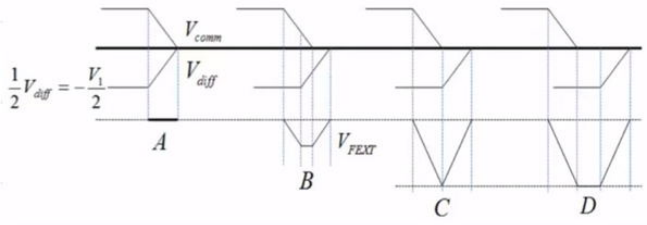


图 5.27 表层走线信号速度

$$V_2 = \frac{V_2+V_1}{2} + \frac{V_2-V_1}{2} \qquad V_2 = V_{comm} + \frac{1}{2}V_{diff}$$



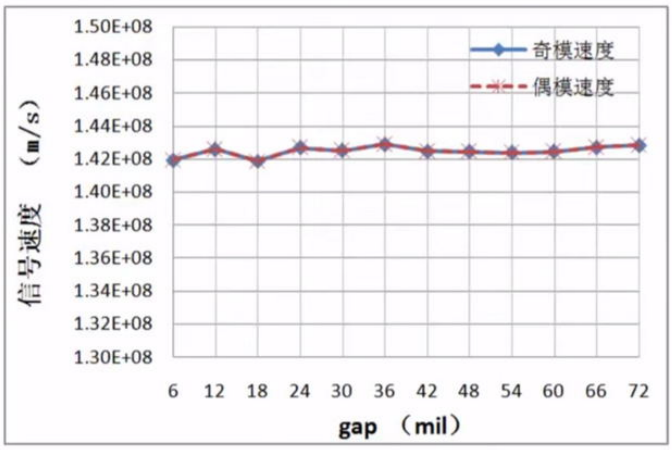


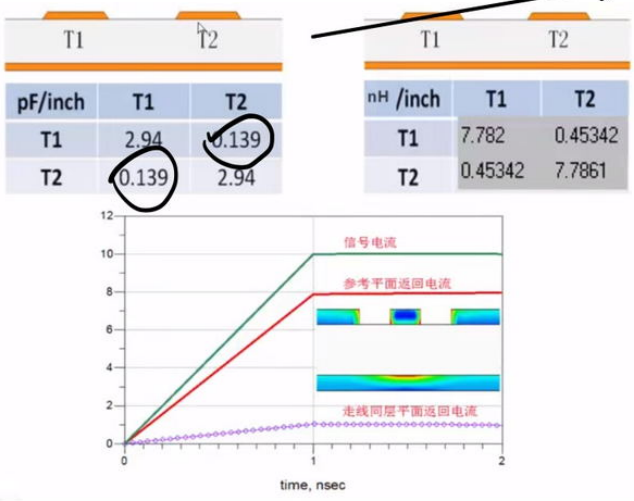
图 5.28 内层走线信号速度

表层走线两种模态感受到的介质不均匀；

而内层则没有

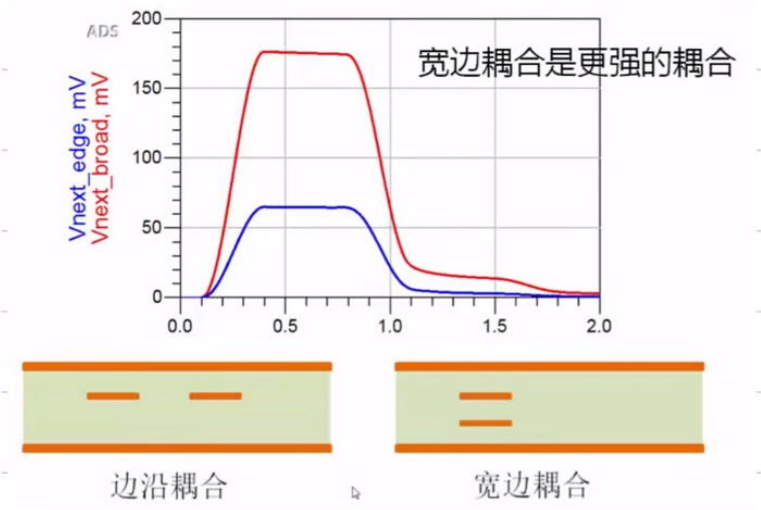
P35 边沿耦合宽边耦合

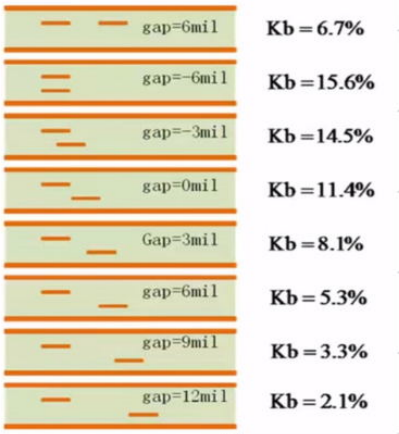
T1与T2的距离



pF/inch	T1	T2
T1	2.94	0.139
T2	0.139	2.94

nH /inch	T1	T2
T1	7.782	0.45342
T2	0.45342	7.7861





Kb = 6.7%

Kb = 15.6%

Kb = 14.5%

Kb = 11.4%

Kb = 8.1%

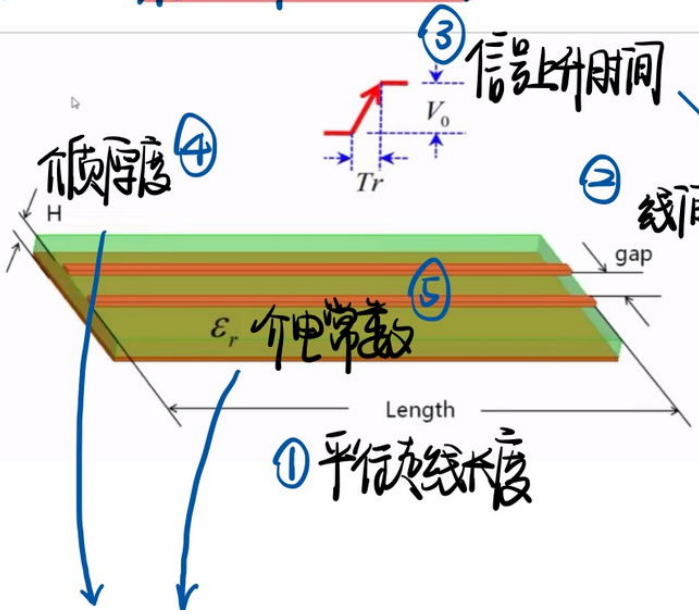
Kb = 5.3%

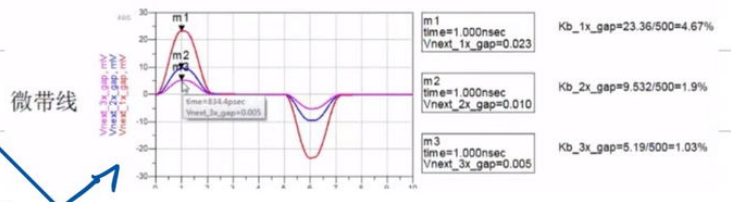
Kb = 3.3%

Kb = 2.1%

尽量避免重叠

P36 影响串扰的因素

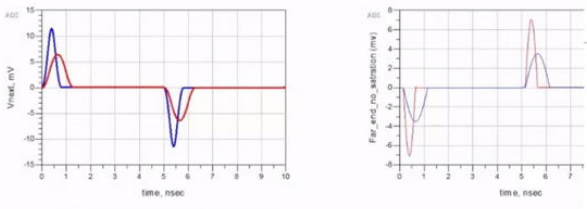




在串扰没有达到饱和之前

近端串扰：上升时间越快，串扰噪声越大

远端串扰：上升时间越快，串扰噪声越大

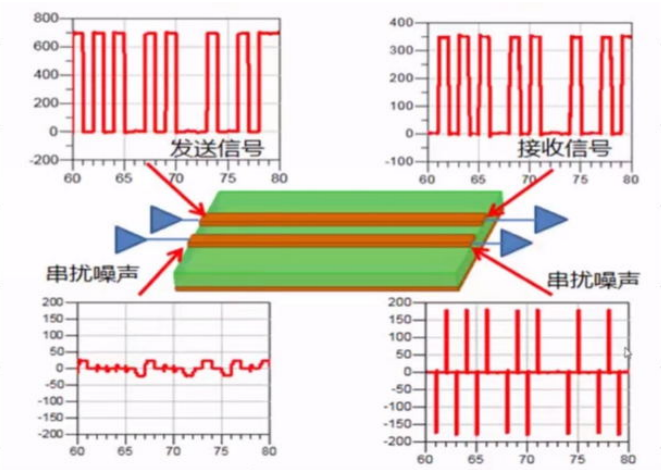


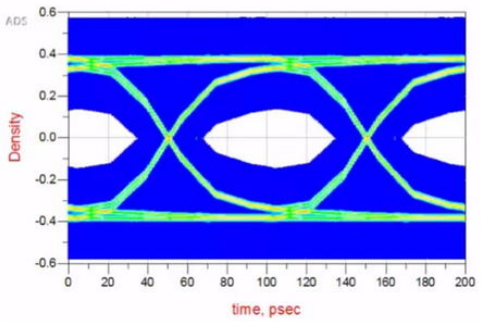
控制阻抗情况下，低Er值的板材，串扰小

Lower Er， Lower Crosstalk

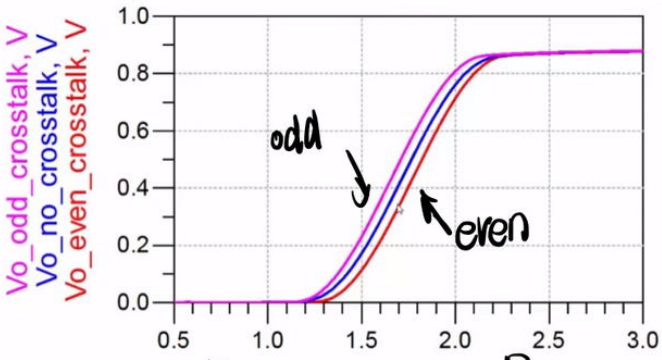
Er↓，H就会↓，从而Crosstalk↓

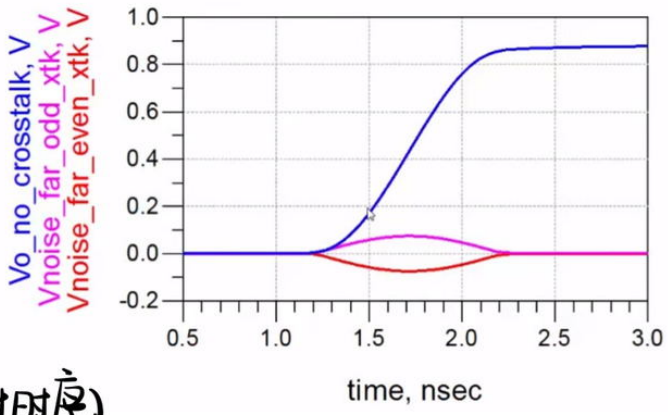
P37 串扰对信号的影响





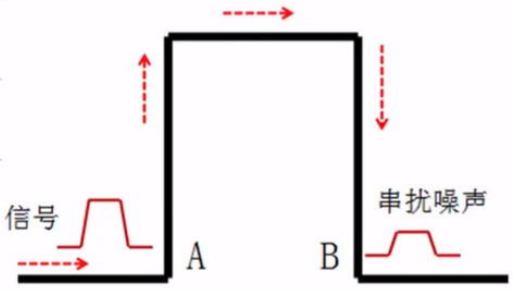
串扰噪声叠加到受害线波形上

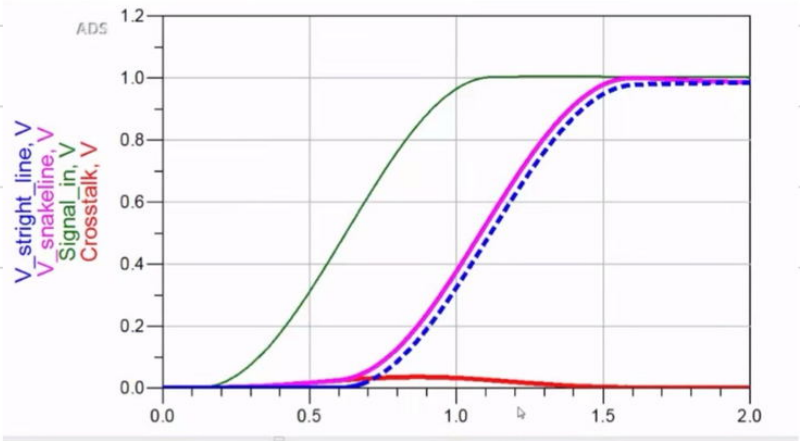




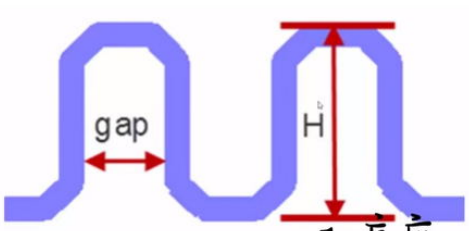
奇偶模情况下的串扰影响（对时序）

P38 蛇形线与延迟





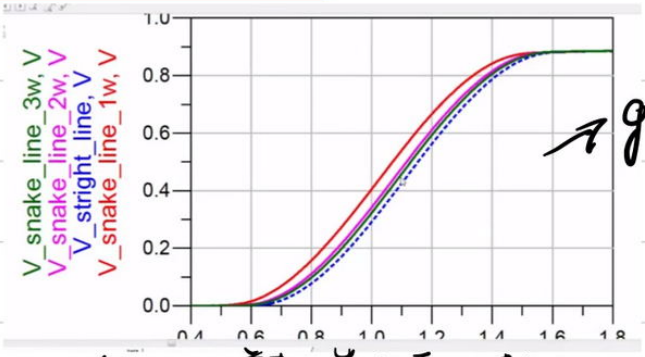
蛇形线会产生奇模串扰，会使信号提前到达。



出现高度

↓

高度越小越接近直线

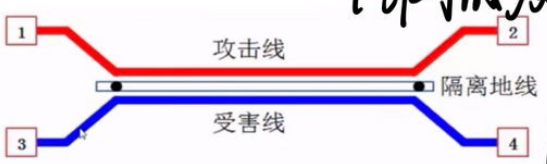


→ gap的影响

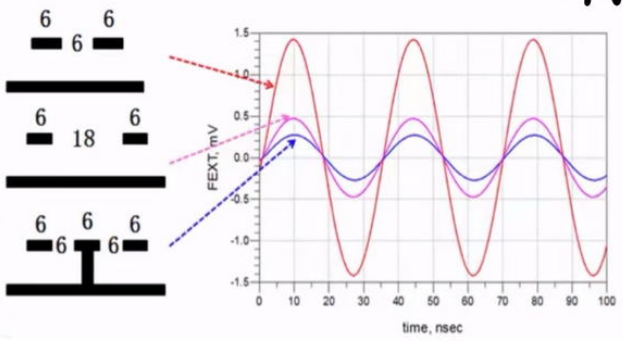
使延时变成靠近直线越好。

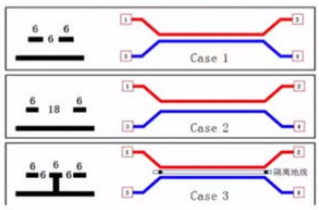
P39 保护地线

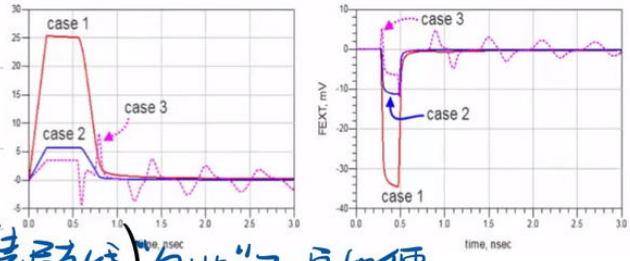
(针对低频Analog Signal)



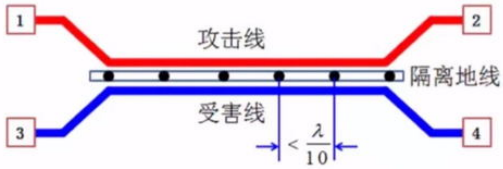
同一平面内



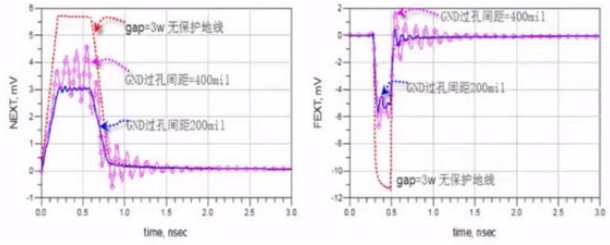




(表层走线)包地"永远好使"



改进：打上密集via，能起效



P40 差分传输

差分传输原理

两个单端信号

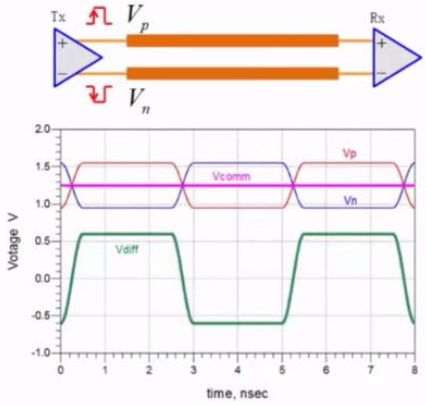
V_p

V_n

两个组合分量

$V_{diff} = V_p - V_n$

$V_{comm} = \frac{1}{2}(V_p + V_n)$

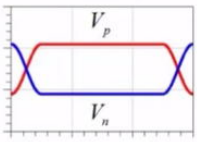


- 任意两个单端信号组合都可以表示为差分、共模形式。
- 任意两个单端信号接入差分检测器都可以检测出两个信号的差值信号。
- 任意两条线都可以传输差分信号。
- 与是否为平行差分线无关，与是否耦合无关。
- 实际中走平行耦合线是出于工程考虑。
- 差分驱动器输出的两个单端信号有特定的相位关系，可以更好的传输差分分量。

$$\begin{cases} V_{diff} = V_1 - V_2 \\ V_{comm} = \frac{1}{2}(V_1 + V_2) \end{cases}$$

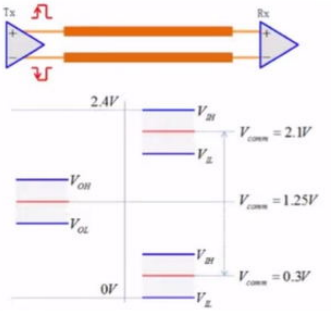
$$V_1 = V_{comm} + \frac{1}{2}V_{diff}$$

$$V_2 = V_{comm} - \frac{1}{2}V_{diff}$$



共模分量在理想状态下是稳定的，不携带信息。

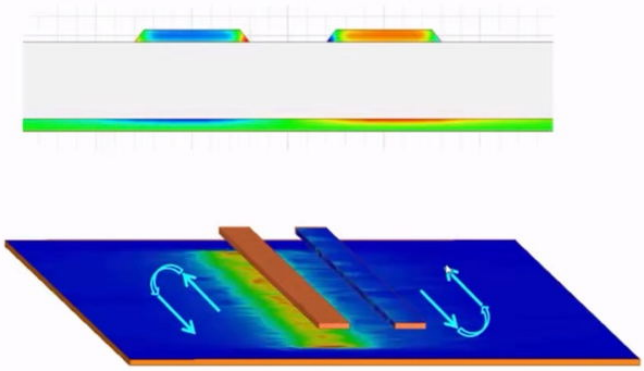
- 差分分量传输信息
- 共模分量不带信息
- 差分分量、共模分量相互独立传输
- 接收器检测的是 V_{diff}
- 接收端共模电平少量漂移，不影响差分信号检测，不影响信息接收
- 差分接收器有共模抑制能力



P41 差分返回电流

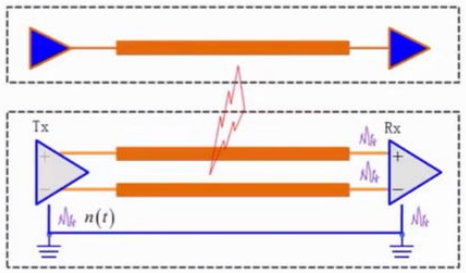
其中一条走线是另一条走线的返回路径？ ✗

参考平面必须连续



返回电流绝大部分是以参考平面回来的。

P42 差分对阻抗参数



差分对抗干扰原理

$$V_p' = V_p + n(t)$$

$$V_n' = V_n + n(t)$$

$$V_{diff} = [V_p + n(t)] - [V_n + n(t)] = V_p - V_n$$

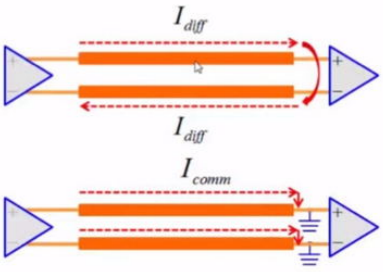
差分对中的阻抗参数

$$V_1 = V_{comm} + \frac{1}{2}V_{diff} \qquad Z_{odd} = \frac{\frac{1}{2}V_{diff}}{I_{diff}} \qquad Z_{diff} = \frac{V_{diff}}{I_{diff}} = 2Z_{odd}$$

$$V_2 = V_{comm} - \frac{1}{2}V_{diff} \qquad Z_{even} = \frac{V_{comm}}{I_{comm}} \qquad Z_{comm} = \frac{V_{comm}}{2 \cdot I_{comm}} = \frac{1}{2}Z_{even}$$

差阻抗大

共模阻抗小



Z_{odd} 奇模状态下单根线阻抗

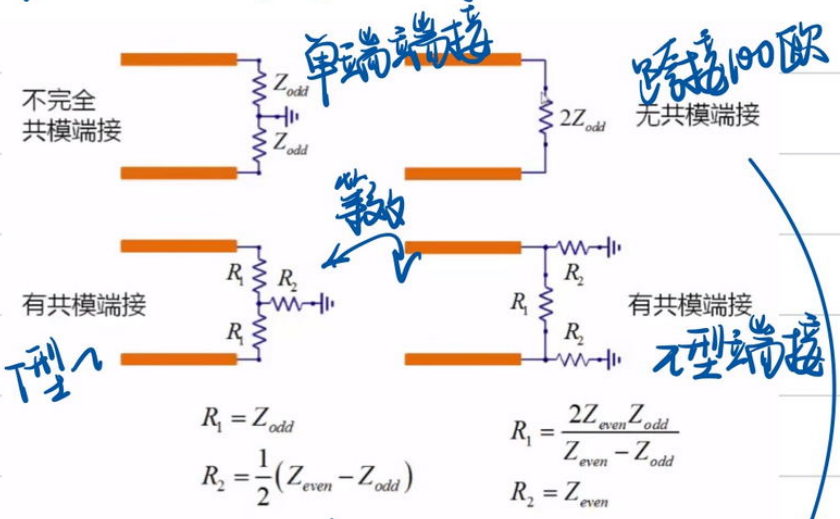
Z_{even} 偶模状态下单根线阻抗

无耦合时 $Z_{odd} = Z_{even} = Z_0$

$Z_{diff} = 2Z_{odd}$ 差分信号感受到的

$Z_{comm} = \frac{1}{2}Z_{even}$ 共模信号感受到的

P43 差分对端接

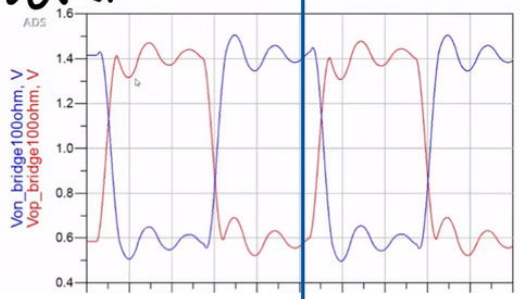


$$R_1 = Z_{odd} \qquad R_2 = \frac{1}{2}(Z_{even} - Z_{odd})$$

$$R_1 = \frac{2Z_{even}Z_{odd}}{Z_{even} - Z_{odd}} \qquad R_2 = Z_{even}$$

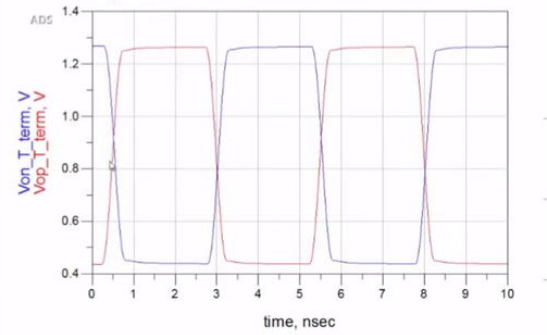
这两种端接就是只有跨接100Ω存在共模噪声，其他3种都无。

跨接100Ω：



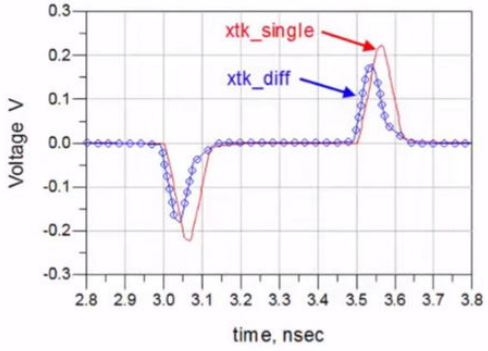
差分信号质量好，仍有共模噪声

T型端接：



P44 差分对串扰

彼此间有P有串扰

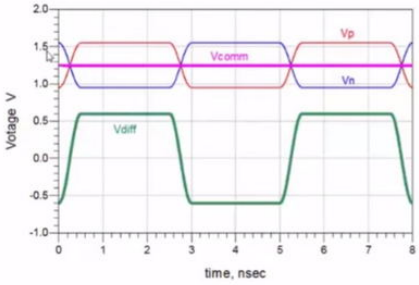


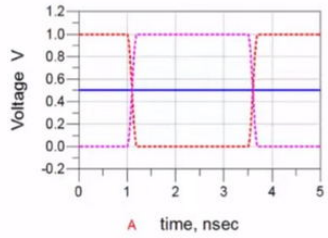
P45 模态转换

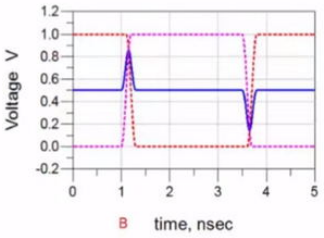
两个组合分量

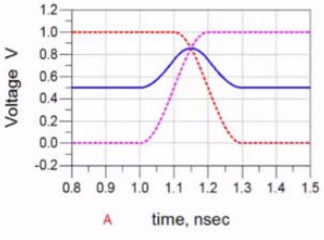
$$V_{diff} = V_p - V_n$$

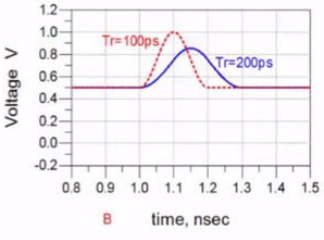
$$V_{comm} = \frac{1}{2}\left(V_p + V_n\right)$$



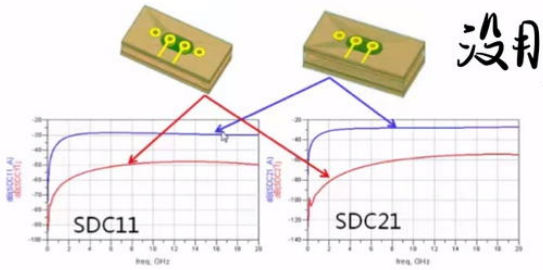




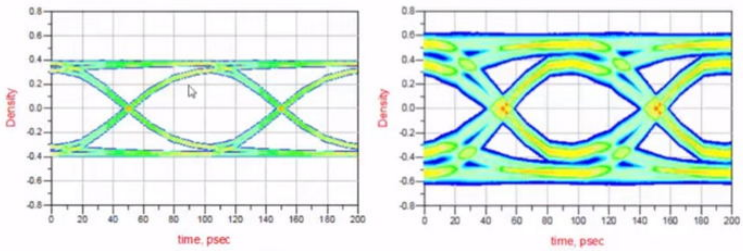




$$\begin{pmatrix} SDD_{11} & SDD_{12} & SDC_{11} & SDC_{12} \\ SDD_{21} & SDD_{22} & SDC_{21} & SDC_{22} \\ SCD_{11} & SCD_{12} & SCC_{11} & SCC_{12} \\ SCD_{21} & SCD_{22} & SCC_{21} & SCC_{22} \end{pmatrix}$$



没那么对称时，模态转换较严重

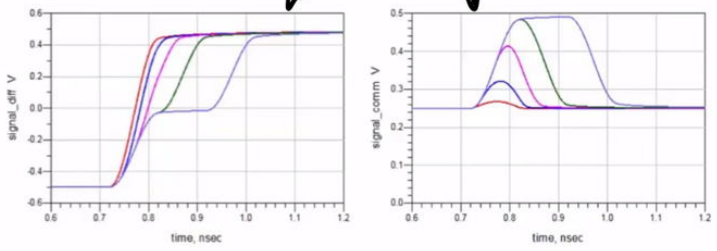


A 端接共模信号　　B 不端接共模信号

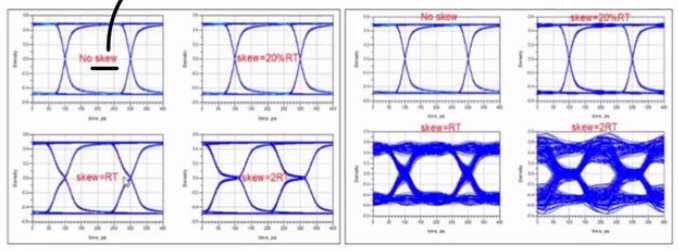
P46 等长等距 → 不可能同时兼顾

延时差：0、20%RT、50%RT、1RT、2RT

不等长两个影响：差分信号、共模信号

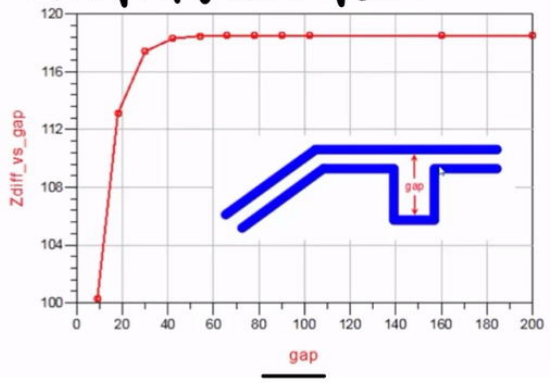


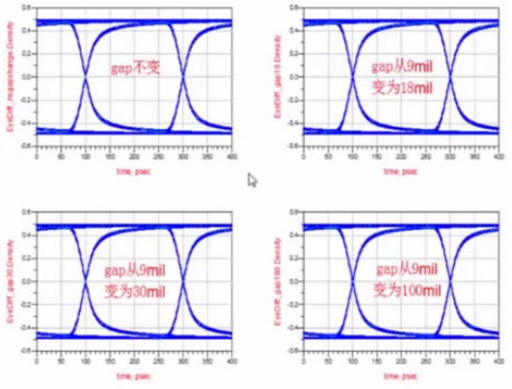
时延



有共模端接　　无共模端接

为使等长可便不等距：





不等距的影响稍微小一些

P47 松耦合、紧耦合

线宽/线距	Zdiff	Zcomm	Zeven	Zodd	Zquiet	Zse
4.03/4	100.2	36	72	50.1	60.05997	61.73
5.28/8	100.2	29.38	58.76	50.1	54.257497	54.53
5.7/12	100.22	27.46	54.91	50.11	52.455123	52.51
5.9/16	100.24	26.62	53.23	50.12	51.651598	51.65

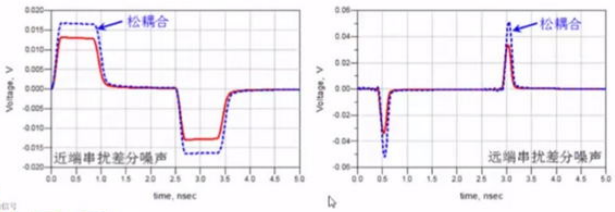


图 8.35 串扰引起的差分噪声。

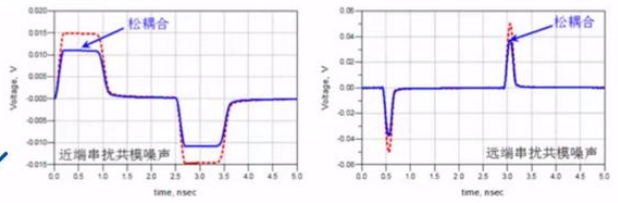
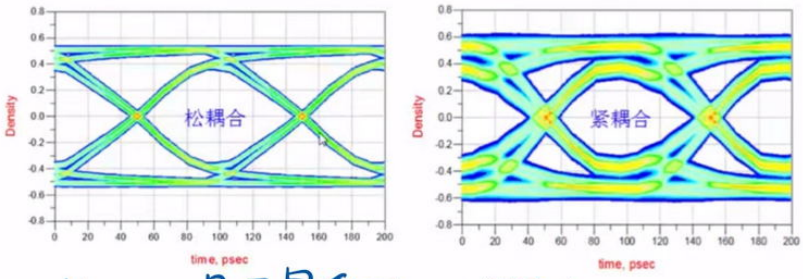


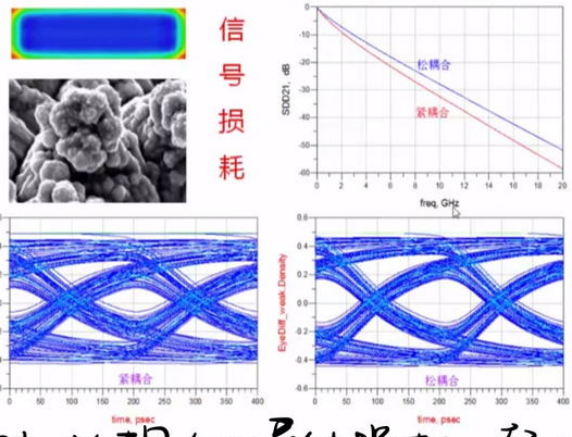
图 8.36 串扰引起的共模噪声。

差分：耦合越紧，串扰越小

共模：耦合越紧，噪声越大



总体还是尽量采用松耦合。



同时，松耦合时导体损耗也较小。

差分对理想布线环境：

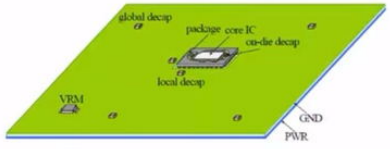
1° 松耦合

2° 两侧尽量"空"

P48 PDN系统噪声来源

电源分配系统

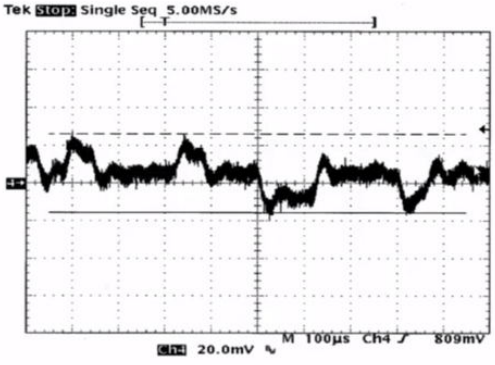
- 电源分配系统： Power Distribution Network（简称 PDN）
- 真正用电节点在 Die，所以PDN系统包含 PCB 和 Package上的部分
- PCB 上：VRM、大电容、小电容、电源平面、地平面
- Package内：电容、电源平面、地平面



PI：Power Integrity 电源完整性

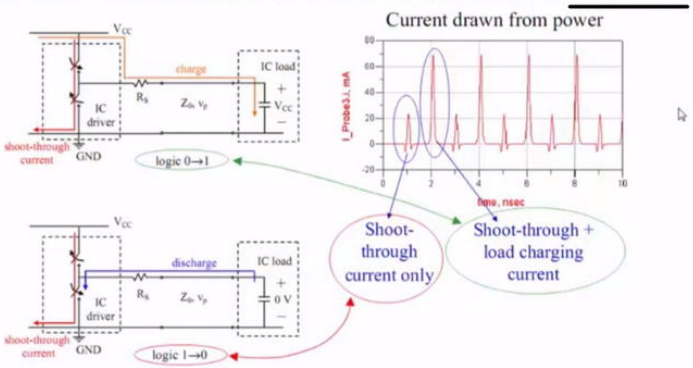
电源噪声的产生

- 稳压电源芯片本身的输出不恒定，会有一定的波纹。



电源噪声的产生

- 稳压电源无法实时响应负载快速变化的电流需求
- 电源模块实际上是一个反馈网络，通过感知其输出电压的变化，调整输出电流。电源响应速度跟不上电流需求变化速度，出现电压跌落。



电源噪声的产生

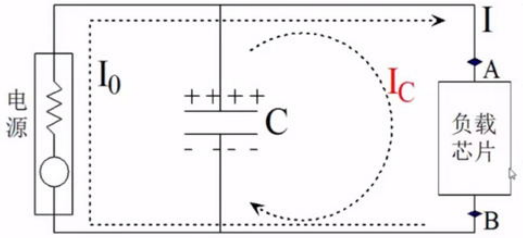
- 铜平面并非理想导体，直流电阻，分布电感，分布电容
- 电源路径和地路径都不是透明的， 存在一定的阻抗。
- 负载瞬态电流在该阻抗上产生压降，从芯片来看是噪声。

P49 电容去耦的两种解释

从储能的角度来理解电容去耦

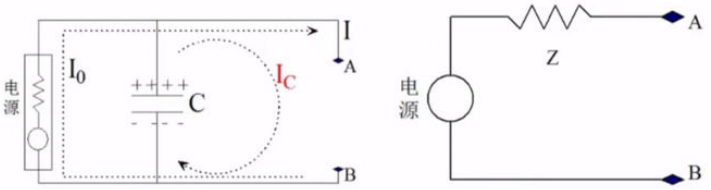
- 电容放电满足负载瞬态电流需求，相当于存储了一部分电荷，形成一个局部电源。
- 放电电流

$$I = C\frac{dV}{dt}$$



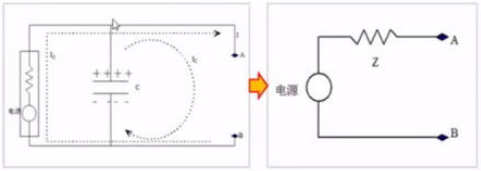
从阻抗的角度来理解去耦原理

- 稳压电源和去耦电容一块，可以看做一个复合的电源系统。
- 不论AB两点间负载瞬态电流如何变化，都要保持AB两点间电压变化范围小于规定值，该要求等效于电源系统的阻抗**Z**足够低
- 加入去耦电容可以稳定AB两点间电压，说明去耦电容降低了PDN系统阻抗。
- 瞬态电流的交流特性，电容对于交流信号呈现低阻抗特性，因此加入电容，实际上也确实降低了电源系统的交流阻抗。

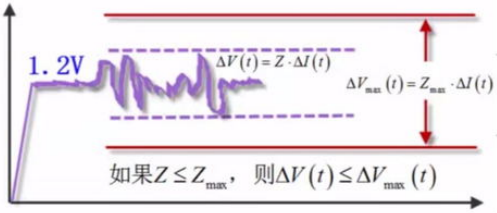


从阻抗的角度来理解去耦原理

$$\Delta V = Z \times \Delta I$$



控制阻抗即可控制电压波动



P50 实际电容特性

理想情况下去耦电容量

- 假设：芯片要求在**1ns**内补充**10A**的瞬态电流。
- 去耦电容放电，提供补偿电流，两端电压下降。 $I = C\frac{dV}{dt}$
- 负载芯片同样“感觉”到电压下降。
- 如果电压为 3.3V，容许的电压波动为5%，则电压波动最大不能超过0.165V。

$$I = C\frac{dV}{dt} \rightarrow C = I\frac{dt}{dV} = 10 \cdot \frac{1}{0.165} = 60nF$$

<< 实际放置电容量

决定去耦网络性能好坏的不是总电容量大小

实际电容的特性 (实际为RLC模型)

- 实际电容存在寄生参数
- ESR：等效串联电阻
- ESL：等效串联电感（寄生电感）
- 实际电容阻抗特性

$$Z = ESR + j2\pi fESL + \frac{1}{j2\pi fC} = ESR + j\left(2\pi fESL - \frac{1}{2\pi fC}\right)$$

- 电容的自谐振频率

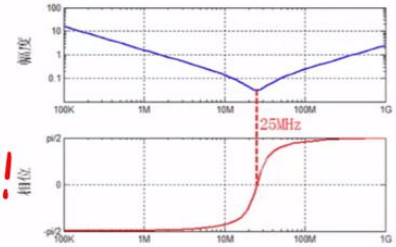
$$f_0 = \frac{1}{2\pi\sqrt{ESL \cdot C}}$$

电容本身有自谐振

电容的频域特性

- 25MHz之前，电压滞后电流，电容特性
- 25MHz之后，电压超前电流，电感特性
- 25MHz频点，电压电流同相，电阻特性
- “V”型阻抗曲线

0402封装 $0.1\mu F$
$ESR = 0.03\Omega$
$ESL = 0.4nH$



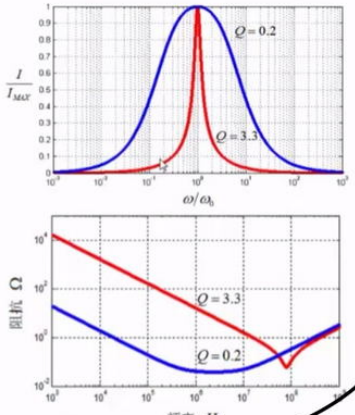
自谐振频率点是区分电容是容性还是感性的分界点。
高于谐振频率时，“电容不再是电容”，电容已经变成了电感。!!

Q值

串联谐振频率 $\omega_0 = \frac{1}{\sqrt{LC}}$

串联谐振时的感抗/容抗 $X_L = \omega_0 L = \sqrt{\frac{L}{C}}$

品质因数 $Q = \frac{\sqrt{\frac{L}{C}}}{R}$



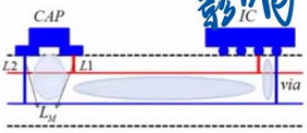
Q值越高，频选性越强。

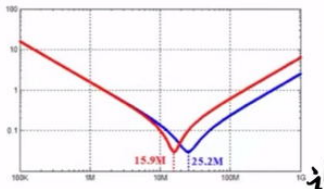
安装电感与自谐振频率

电容安装上去还有额外影响

$$L_{total} = ESL + L_{mount}$$

$$f_{mount} = \frac{1}{2\pi\sqrt{(ESL + L_{mount}) \cdot C}}$$





0402封装 $0.1\mu F$
$ESL = 0.4nH$
$ESR = 30m\Omega$
$L_{mount} = 600\,pH$

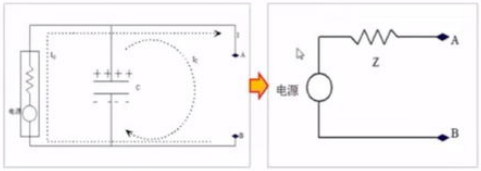
安装电感影响电容的高频去耦能力

谐振频率变低。

P51 目标阻抗设计方法

Target Impedance

$\Delta V = Z \times \Delta I$

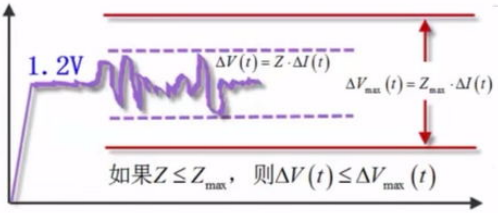


$\Delta V(t) = Z \cdot \Delta I(t)$

↓

控制阻抗即可控制电压波动。

控制阻抗即可
控制电压波动



Target Impedance

- 目标阻抗（ Target Impedance ）定义

$$Z_{target} = \frac{V_{CC} \times Ripple}{\Delta I_{MAX}} = \frac{\Delta V_{CC}}{\Delta I_{MAX}}$$

V_{CC} 表示要进行去耦的电源电压等级，如 5V、3.3V、1.8V、1.2V、0.9V 等。

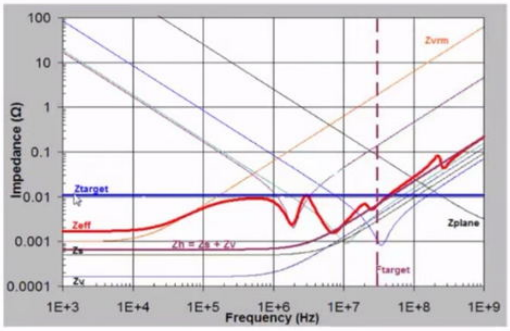
$Ripple$ 为允许的电压波动，典型值通常为 5%或 3%。

ΔI_{MAX} 为负载芯片的最大瞬态电流变化量。

可为最大电流的50%

目标阻抗设计方法

- **在一定频率范围内，使PDN系统阻抗小于目标阻抗。**
- 不严谨，不完美，但是目前最可操作的方法。



P52 并联电容及谐振峰

相同容值电容的并联

$$Z = ESR + j2\pi fESL + \frac{1}{j2\pi fC} = ESR + j\left(2\pi fESL - \frac{1}{2\pi fC}\right)$$

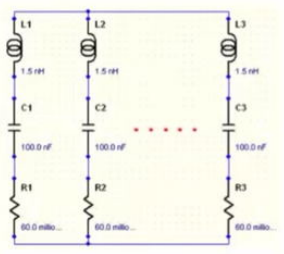
谐振频率

$$f_0 = \frac{1}{2\pi\sqrt{ESL \cdot C}}$$

在谐振频率点处，后一项为 0，阻抗等于 ESR

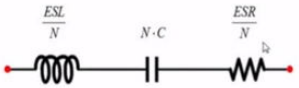
同容值并联时

$$Z_P = Z_1 \| Z_2 \ldots \| Z_N = \frac{Z}{N}$$



相同容值电容的并联

$$f_P = \frac{1}{2\pi\sqrt{\frac{ESL}{N} \cdot N * C}} = \frac{1}{2\pi\sqrt{ESL \cdot C}}$$

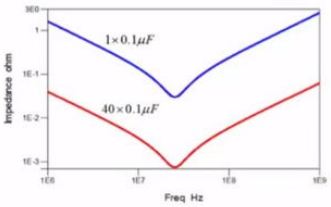


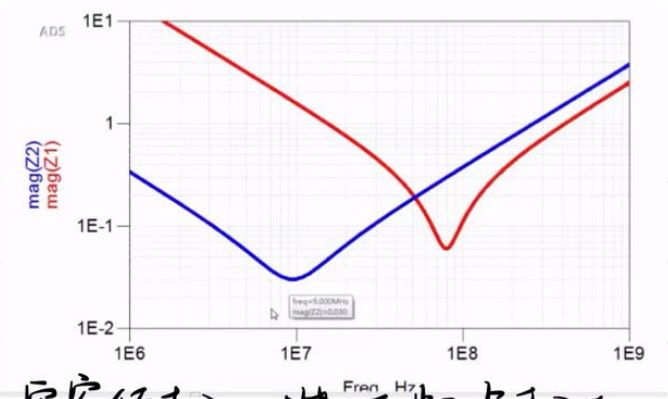
谐振频率不变，等效串联电阻减小为原来的1/N

$$ESR_{eff} = \frac{ESR}{N}$$

谐振点阻抗值减小，阻抗曲线整体下移。

形成一个大V型阻抗曲线

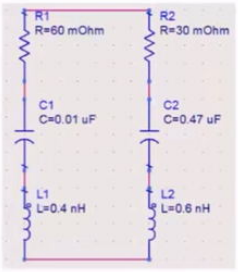




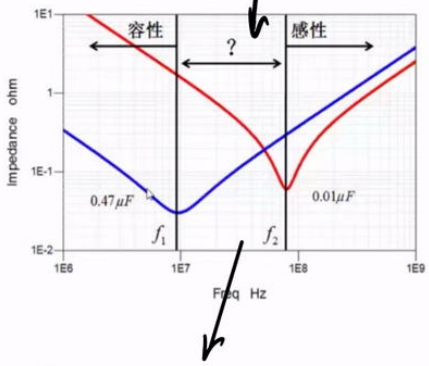
电容容值越大，谐振频点越低

不同容值电容的并联

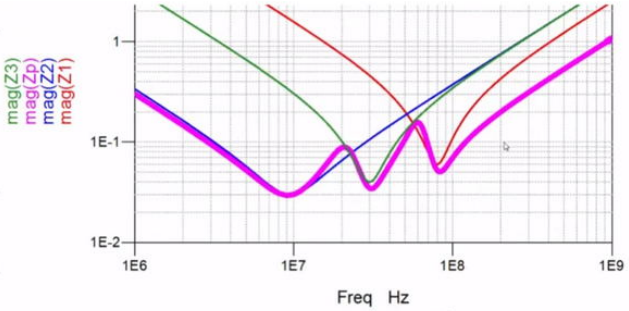
- 两个谐振点之间会怎样？

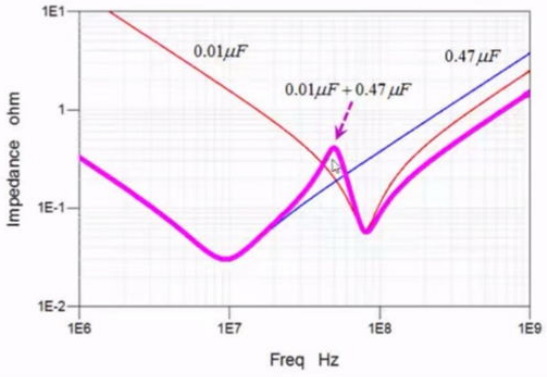


相当于一个L与一个C并联



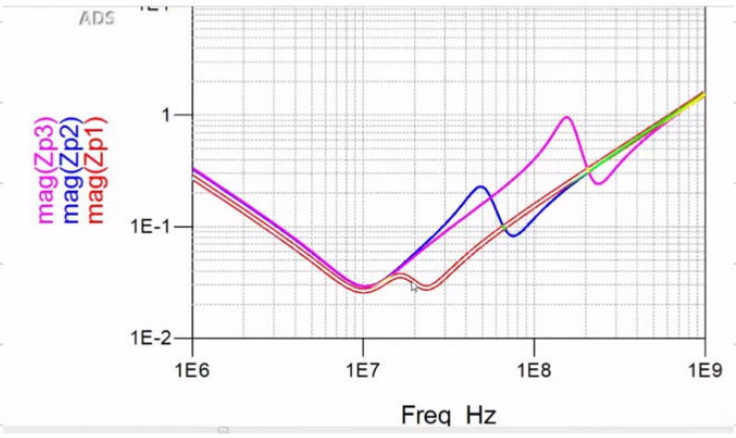
- 并联谐振峰
- PDN系统阻抗控制的难点



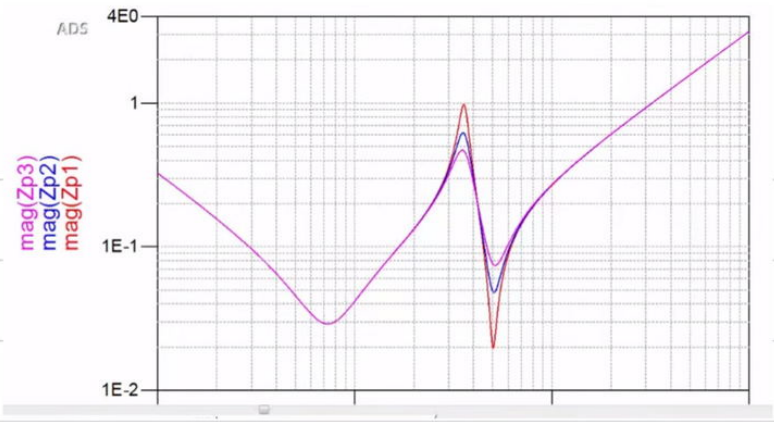


有多个电容就会出现多个谐振峰，要使谐振峰压在目标阻抗以下。

与哪些因素有关？

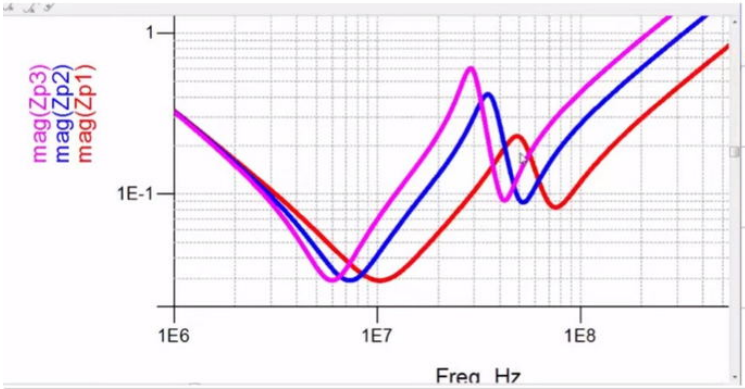


① 容值差得越大，谐振峰越高。



②与ESR有关

(一般改变不大)



③安装电感与电容的安装方式有关

↓

谐振峰越高↑

P53 去耦电容的配置方法

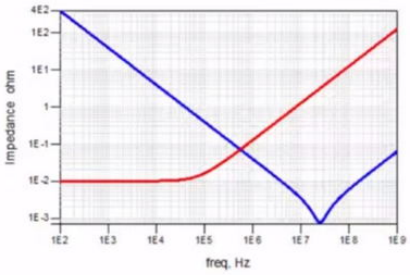
BIG-V方法

- 每个引脚加一个0.1uF电容
- 流传很广的去耦方法
- 这种使用去耦电容的方法有什么结果？

40个0.1uF电容

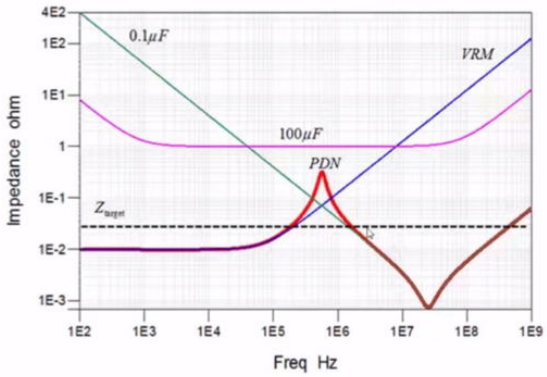
0402封装

Big-V 阻抗曲线



BIG-V方法

40个0.1uF电容、2个100uF钽电容

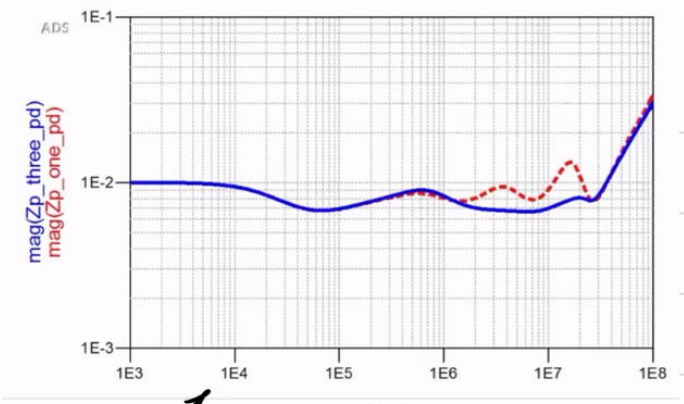


- 使用单一0.1uF容值电容会在阻抗曲线上产生非常高的并联谐振峰，**潜在设计风险**很大。
- 形象的称谓：地毯式轰炸，野蛮去耦
- 0.1uF电容没有任何神秘之处，只不过被工程设计领域误传神化了。与其他电容相比0.1uF电容并没有什么超能力
- 当目标阻抗较高，很容易满足时用的较多（料单简单）
- 当目标阻抗较低（通常对应大电流情况），尽管特定条件下可以设计出合格的去耦网络，但不好掌握，不推荐。

Multi-Pole（MP）方法

- One per decade，Three per decade
- 没有本质的区别，唯一的区别在于电容值的间距大小。

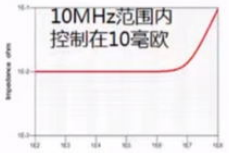
ONE per decade	Three per decade
10 uF	10 uF
1 uF	4.7 uF
0.1 uF	2.2 uF
0.01 uF	1 uF
0.001 uF	0.47 uF
	0.22 uF
	0.1 uF



阻抗曲线更平坦

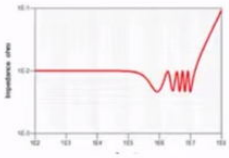
用那种方法配置网络

- 阻抗曲线在局部出现极低的阻抗并不是好事，会产生更大的噪声。
- **设计原则：尽量使阻抗曲线平坦。**



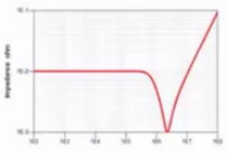
虚构的理性系统

$V_{p-p}=10mV$



MP方法

$V_{p-p}=16mV$



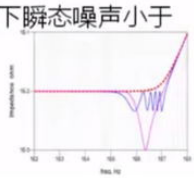
Big-V方法

$V_{p-p}=20mV$

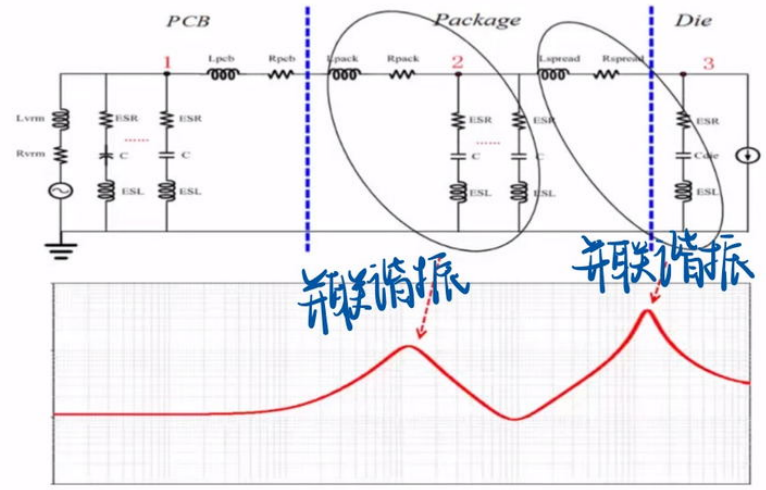
针对某特例，同等条件下评估出的电源波动比较。

几种方法的性能评价

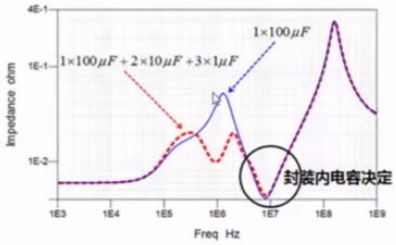
- 虚构的阻抗曲线很大一段频率内等于目标阻抗，阻抗是最高但噪声最小。BIG-V方法在很宽频带内阻抗非常低，却有最大的瞬态噪声。
- 阻抗曲线在局部出现极低的阻抗并不是好事，会产生更大的噪声。
- **设计原则：尽量使阻抗曲线平坦。**
- 满足目标阻抗要求情况下不要追求局部低阻抗。
- BIG-V方法：通常和VRM之间产生尖锐的并联谐振峰，并且在自谐振频率处形成极低的阻抗。因而通常产生很大的瞬态噪声。
- MP方法：有多个峰值和谷值，相对平坦，通常情况下瞬态噪声小于BIG-V。



去耦频率范围问题



- 谐振峰后面的阻抗曲线基本不受PCB上去耦电容的影响



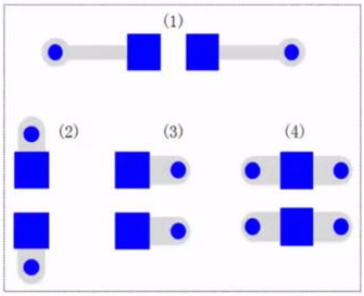
- ✓ 需要处理的频率范围和芯片封装内部情况有关。
- ✓ 不同的芯片，要求也不同。
- ✓ 没有统一的标准。

小电容去耦半径较小，大电容……大。

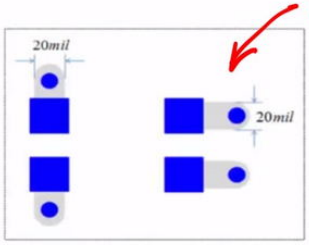
电容的安装：安装方法

(靠近芯片)

- 原则：减小安装电感



最常用



也可多加孔

Fan-out线别太长，要宽

电源孔与地孔尽量接近